

**THIS PAGE IS INSERTED BY OIPE SCANNING  
AND IS NOT PART OF THE OFFICIAL RECORD**

**Best Available Images**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

**BLACK BORDERS**

**TEXT CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT**

**BLURRY OR ILLEGIBLE TEXT**

**SKEWED/SLANTED IMAGES**

**COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE**

**VERY DARK BLACK AND WHITE PHOTOS**

**UNDECIPHERABLE GRAY SCALE DOCUMENTS**

**IMAGES ARE THE BEST AVAILABLE  
COPY. AS RESCANNING *WILL NOT*  
CORRECT IMAGES, PLEASE DO NOT  
REPORT THE IMAGES TO THE  
PROBLEM IMAGE BOX.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-179360

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

G02F 1/136

G09F 9/30

(21)Application number : 06-316856

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 20.12.1994

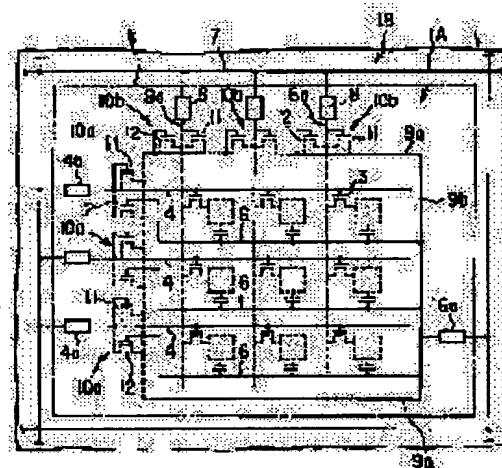
(72)Inventor : MATSUMOTO HIROSHI

## (54) ACTIVE MATRIX PANEL

### (57)Abstract:

**PURPOSE:** To anode-oxidize the surfaces of gate electrodes of all protection TFTs constituting a protection element for preventing dielectric breakdown and characteristic change in a pixel part due to static electricity, etc., and to give a sufficient dielectric strength to these TFTs.

**CONSTITUTION:** Gate wiring 4, capacitor wiring 6, a relay electrode 8 for connecting data wiring to a short line 7 and partial wiring parts 9a, 9b of a short ring 9 are formed on a substrate 1 by connecting them to the short line 7, and by integrally forming the gate electrodes of the protection TFTs 11, 12 with any one among the gate wiring 4, the capacitor wiring 6, the relay electrode 8 and the wiring parts 9a, 9b formed on the substrate among the short ring 9, the surfaces of the gate electrodes of all protection TFTs 11, 12 are oxidized by anode oxidation processing making the short line 7 a feeding path.



## LEGAL STATUS

[Date of request for examination] 22.11.2001

[Date of sending the examiner's decision of rejection] 15.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-179360

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/136

G 0 9 F 9/30

識別記号

5 0 0

3 3 8 Z 7426-5H

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 O L (全 12 頁)

(21) 出願番号

特願平6-316856

(22) 出願日

平成6年(1994)12月20日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 松本 広

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

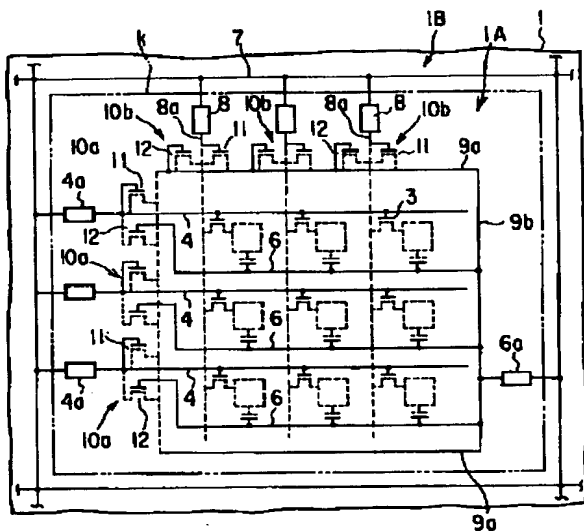
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 アクティブマトリックスパネル

(57) 【要約】

【目的】 静電気等による画素部の絶縁破壊や特性変化を防ぐための保護素子を構成する全ての保護TFTのゲート電極の表面を陽極酸化し、これら保護TFTに十分な絶縁耐圧をもたせる。

【構成】 ゲート配線4と、キャパシタ配線6と、データ配線5をショートライン7に接続するための中継電極8と、ショートルング9の一部の配線部9a、9bとを、基板1上に前記ショートライン7につないで形成し、保護TFT11、12のゲート電極31を、前記ゲート配線4とキャパシタ配線6と中継電極8とショートルング9のうちの基板上に形成された配線部9a、9bとをいずれかに一体に形成することにより、ショートライン7を給電路とする陽極酸化処理によって、全ての保護TFT11、12のゲート電極31の表面を酸化させた。



## 【特許請求の範囲】

【請求項 1】 液晶表示素子の大きさに対応する素子領域の周囲に前記液晶表示素子の組立て後に除去される余剰部を有する基板の前記素子領域に、複数の画素電極と、これら各画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記薄膜トランジスタにゲート信号を供給するゲート配線と、前記薄膜トランジスタにデータ信号を供給するデータ配線と、前記画素電極との間に補償容量を形成するキャパシタ配線とが設けられるとともに、前記ゲート配線およびデータ配線がそれぞれ、前記画素電極およびアクティブ素子の配列領域を囲んで形成したショートリングに、ゲート電極とソース電極とが電気的に接続された 2 つの保護薄膜トランジスタからなる保護素子を介して接続されており、前記保護素子は、一方の保護薄膜トランジスタのソース電極をゲート配線またはデータ配線に、ドレイン電極をショートリングに接続し、他方の保護薄膜トランジスタのソース電極をショートリングに、ドレイン電極をゲート配線またはデータ配線に接続して構成されており、かつ、前記基板の余剰部の上には複数のゲート配線、データ配線およびキャパシタ配線を短絡させるためのショートラインが形成され、前記基板の素子領域の上には前記データ配線を前記ショートラインに接続するための中継電極が形成され、前記画素電極に接続された薄膜トランジスタのゲート電極および前記保護素子を構成する 2 つの保護薄膜トランジスタのゲート電極は、前記ゲート配線と前記キャパシタ配線と前記ショートリングと前記中継電極とのいずれかに電気的に接続させて形成されて、前記ショートラインを給電路とする陽極酸化処理により電極表面を酸化されていることを特徴とするアクティブマトリックスパネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、アクティブマトリックス液晶表示素子に用いるアクティブマトリックスパネルに関するものである。

## 【0002】

【従来の技術】 従来、アクティブマトリックス液晶表示素子に用いるアクティブマトリックスパネルは、次のような構成となっている。なお、一般に液晶表示素子は、複数の液晶表示素子を一括して組立てる製法で製造されており、この製法で液晶表示素子を製造する場合に用いられるアクティブマトリックスパネルは、液晶表示素子複数個分のパネルを採取できる大きさとしてされている。

【0003】 図 6 は上記製法で製造される液晶表示素子に用いられている従来のアクティブマトリックスパネルの等価回路図の平面図であり、図 7 は、前記アクティブマトリックスパネルの各配線および電極のうち、基板上に形成されているものを実線で示し、基板上に設けた絶縁

膜の上に形成されているものを破線で示した図、図 8 は、前記各配線および電極のうち、前記絶縁膜の上に形成されているものを実線で示し、基板上に形成されているものを破線で示した図である。

【0004】 このアクティブマトリックスパネルは、ガラス等からなる透明基板 1 の上に、マトリックス状に配列した複数の透明な画素電極 2 と、これら画素電極 2 にそれぞれ接続された薄膜トランジスタからなる複数のアクティブ素子（以下、TFT と記す）3 と、各画素電極行ごとに配線されて各行の TFT 3 にゲート信号を供給する複数のゲート配線 4 と、各画素電極列ごとに配線されて各列の TFT 3 にデータ信号を供給する複数のデータ配線 5 と、各画素電極行ごとに配線されて各画素電極 2 との間に補償容量（ストレージキャパシタ）Cs を形成する複数のキャパシタ配線 6 とを設けて構成されている。

【0005】 上記基板 1 は、液晶表示素子複数個分のアクティブマトリックスパネルを採取できる大きさの大型基板であり、各液晶表示素子のアクティブマトリックスパネルとなる部分は、液晶表示素子の大きさに対応する領域（以下、素子領域という）1A と、この素子領域 1A の周囲に確保された余剰部 1B とからなっており、上記画素電極 2 と TFT 3 およびゲート、データ配線 4、5 とキャパシタ配線 6 は前記素子領域 1A に設けられている。

【0006】 図 9 は上記アクティブマトリックスパネルの 1 つの画素部の具体的な構成を示す平面図、図 10 は図 9 の X-X 線に沿う拡大断面図である。この図 9 および図 10 に示すように、上記ゲート配線 4 とキャパシタ配線 6 は基板 1 上に配線されており、TFT 3 は、基板 1 上に上記ゲート配線 4 と一体に形成されたゲート電極 31 と、このゲート電極 31 を覆う SiN（窒化シリコン）等からなるゲート絶縁膜 32 と、このゲート絶縁膜 32 の上に前記ゲート電極 31 に対向させて形成された a-Si（アモルファスシリコン）からなる i 型半導体膜 33 と、この i 型半導体膜 33 の上に不純物をドーブした a-Si からなる n 型半導体膜 34 を介して形成されたソース電極 35 およびドレイン電極 36 とで構成されている。なお、37 は、前記 i 型半導体膜 33 のチャンネル領域の上に設けられた SiN 等からなるチャンネル保護膜である。

【0007】 なお、上記ゲート絶縁膜 32 は、ゲート配線 4 とキャパシタ配線 6 を覆って基板 1 のほぼ全面に形成されており、ゲート配線 4 の端子部 4a（図 6 参照）は、前記ゲート絶縁膜 32 に開口を形成することによって露出されている。

【0008】 そして、画素電極 2 は上記ゲート絶縁膜 32 の上に設けられており、この画素電極 2 は、その一側縁の端部を TFT 3 のソース電極 35 の上に重ねて形成することによって前記ソース電極 35 に接続されてい

る。

【0009】また、データ配線5は上記ゲート絶縁膜32の上に配線されており、このデータ配線5は、TF T 3のドレイン電極36の上に重ねて形成されて前記ドレイン電極36に接続されている。

【0010】なお、35aは、上記ソース電極35の上に形成された、データ配線5と同じ金属膜からなる上部電極であり、この上部電極35aは、画素電極2とソース電極35との電氣的な接続を確実にするために、前記金属膜をソース電極35の上にも残してエッチングすることによって形成されたものである。

【0011】一方、上記キャパシタ配線6は、画素電極2の縁部にその下方から対向しており、上記補償容量Csは、キャパシタ配線6と画素電極2およびその間のゲート絶縁膜とで形成されている。なお、各キャパシタ配線6は、その一端において図6に示すように共通接続されており、その共通接続部には、基準電位に接続される端子部6aが形成されている。

【0012】また、上記基板1の余剰部1Bは、最終的（アクティブマトリックスパネルと対向パネルとを接合して液晶表示素子を組立てた後）に除去される部分であり、この余剰部1Bは、図に二点鎖線で示した、素子領域1Aの輪郭に沿う分断線kに沿って分断除去される。

【0013】ところで、上記アクティブマトリックスパネルの上にはポリイミド等からなる配向膜（図示せず）が形成され、この配向膜にはその膜面を一方にラビングする配向処理が施されるが、その場合、配向膜のラビング時に発生する静電気によって、TF T 3に絶縁破壊が発生したり、TF T 3の電圧-電流特性が変化してしまったりすることがある。

【0014】このため、上記アクティブマトリックスパネルでは、複数のゲート配線4およびデータ配線5を基板1の余剰部1Bにおいて短絡させておくことにより、静電気等によるTF T 3の絶縁破壊や特性変化を防止している。

【0015】すなわち、基板1の余剰部1Bには、図6に示したように、全てのゲート配線4およびデータ配線5を短絡させるためのショートライン7が形成されており、各ゲート配線4と各データ配線5は前記ショートライン7に接続されている。なお、このショートライン7は、基板1上に素子領域1Aの全周を囲んで格子状に形成されており、その縦横のライン部の両端はそれぞれ基板1の外周縁部まで延長されている。

【0016】上記ショートライン7は、図7のように、基板1上に形成されており、各ゲート配線4は、その端子部4aから上記余剰部1Bに延長させた配線部を介してショートライン7の縦ライン部につながっている。

【0017】また、基板1の素子領域1Aの上には、図7のように、各データ配線5の端子部5aを形成する箇所

イン7に接続するための中継電極8が、前記ショートライン7の横ライン部と一体に形成されている。なお、この中継電極8は、上記ゲート絶縁膜32に開口を設けることによって露出されている。

【0018】そして、各データ配線5は、その端子部5aを上記中継電極8の上に重ねて形成することにより、前記中継電極8を介してショートライン7に接続されている。

【0019】このように、全てのゲート配線4およびデータ配線5を、基板1の余剰部1Bにおいてショートライン7を介して短絡させておけば、これら配線4、5の電位が同じになるため、静電気等によるTF T 3の絶縁破壊や特性変化を防ぐことができる。

【0020】しかし、上記基板1の余剰部1Bは、液晶表示素子を組立てた後に除去されるため、その後の液晶表示素子の製造工程中や、製造した液晶表示素子を電子機器に実装する際に、静電気等の高電圧を帯びた物体が液晶表示素子に触れたり近接したりすると、その電圧によってTF T 3が絶縁破壊したり特性変化を生じたりすることがある。

【0021】そこで、上記アクティブマトリックスパネルでは、上記余剰部1Bを除去した後（ショートライン7が切り離された後）も、静電気等によるTF T 3の絶縁破壊や特性変化を防ぐことができるようにするため、基板1の余剰部分断箇所（分断線k）より内側の部分（素子領域1A内）に、画素電極2およびTF T 3の配列領域を囲んで静電気対策用のショートルング9を形成し、ゲート配線4およびデータ配線5を、保護素子10a、10bを介して前記ショートルング9に接続している。

【0022】上記ショートルング9は、図7および図8に示すように、基板1上にゲート配線4と平行に配線された2本の横配線部9aと、ゲート絶縁膜32の上にデータ配線5と平行に配線された2本の縦配線部9bとからなっており、これら横配線部9aと縦配線部9bの端部を、前記ゲート絶縁膜32に設けたコンタクト孔（図示せず）において接続して構成されている。

【0023】図11はゲート配線4をショートルング9に接続する保護素子10aの断面図、図12はデータ配線5をショートルング9に接続する保護素子10bの断面図であり、これら保護素子10a、10bは、それぞれ、2つの保護薄膜トランジスタ（以下、保護TF Tと記す）11、12で構成されている。

【0024】なお、この保護素子10a、10bを構成する保護TF T 11、12は、図9および図10に示した画素部のTF T 3と基本的に同じ構造のものであるから、その構成の説明は図に同符号を付して省略する。

【0025】ゲート配線4をショートルング9に接続する保護素子10aを構成する保護TF T 11、12は、図6および図11に示すように、ゲート配線4をはさん

でその端子部4a側の両側に配置されており、この保護素子10aは、2つの保護TF T 11、12のゲート電極31をそれぞれその保護TF Tのソース電極35に電氣的に接続するとともに、一方の保護TF T 11のソース電極35をゲート配線4に、ドレイン電極36をショートリング9に接続し、他方の保護TF T 12のソース電極35をショートリング9に、ドレイン電極36をゲート配線4に接続して構成されている。

【0026】上記保護TF T 11、12のゲート配線4に接続される電極、つまり一方の保護TF T 11のソース電極35と、他方の保護TF T 12のドレイン電極36は、共通のゲート配線接続膜38を介してゲート絶縁膜32に設けたコンタクト孔39においてゲート配線4に接続されており、また、一方の保護TF T 11のドレイン電極36と他方の保護TF T 12のソース電極35は、ショートリング9の縦配線部9bに、この縦配線部9bに一体に形成したショートリング接続膜40、41を介して接続されている。なお、前記ゲート配線接続膜38とショートリング9の縦配線部9bおよびショートリング接続膜40、41は、データ配線5と同じ金属膜で形成されている。

【0027】そして、一方の保護TF T 11のゲート電極31は、ゲート配線4に一体に形成されて、このゲート配線4と上記ゲート配線接続膜38を介してこの保護TF T 11のソース電極35に電氣的に接続されており、他方の保護TF T 12のゲート電極31は、ショートリング9の縦配線部9bをゲート絶縁膜32に設けたコンタクト孔（図示せず）において前記ゲート電極31から導出したリード部に接続することにより、ショートリング9と上記ショートリング接続膜41を介してこの保護TF T 12のソース電極35に電氣的に接続されている。

【0028】また、データ配線5をショートリング9に接続する保護素子10bを構成する保護TF T 11、12は、図6および図12に示すように、データ配線5をはさんでその端子部5a側の両側に配置されており、この保護素子10bは、2つの保護TF T 11、12のゲート電極31をそれぞれその保護TF Tのソース電極35に電氣的に接続するとともに、一方の保護TF T 11のソース電極35をデータ配線5に、ドレイン電極36をショートリング9に接続し、他方の保護TF T 12のソース電極35をショートリング9に、ドレイン電極36をデータ配線5に接続して構成されている。

【0029】上記保護TF T 11、12のデータ配線5に接続される電極、つまり一方の保護TF T 11のソース電極35と、他方の保護TF T 12のドレイン電極36は、データ配線5に一体に形成されたデータ配線接続膜42を介して前記データ配線5に接続されており、また、一方の保護TF T 11のドレイン電極36と他方の保護TF T 12のソース電極35は、データ配線5と同

じ金属膜からなるショートリング接続膜43、44を介してショートリング9の横配線部9aに接続されている。なお、ショートリング9の横配線部9aは基板1上に配線されているため、前記ショートリング接続膜43、44は、ゲート絶縁膜32に設けたコンタクト孔（図示せず）において前記横配線部9aに接続されている。

【0030】また、一方の保護TF T 11のゲート電極31は、この保護TF T 11のソース電極35を接続したデータ配線5の下方に延長させて形成されており、この一方の保護TF T 11のゲート電極31は、前記データ配線5をゲート絶縁膜32に設けたコンタクト孔45において前記ゲート電極31の延長部に接続することにより、データ配線5を介してこの保護TF T 11のソース電極35に電氣的に接続されている。

【0031】また、他方の保護TF T 12のゲート電極31は、ショートリング9の横配線部9aに一体に形成されて、ショートリング9を介してこの保護TF T 12のソース電極35に電氣的に接続されている。

【0032】上記保護素子10a、10bは、ゲート配線4またはデータ配線5に静電気等の高電圧が加わったときに、2つの保護TF T 11、12の一方がオン状態となってゲート配線4とデータ配線5とをショートリング9を介して導通させるものであり、例えば、ゲート配線4に高電圧が加わると、ゲート配線4側の保護素子10aの一方の保護TF T 11がオン状態となってゲート配線4とショートリング9とが導通するとともに、ゲート配線4からショートリング9に加わる電圧によりデータ配線5側の保護素子10aの他方の保護TF T 12がオン状態となってデータ配線5とショートリング9とが導通し、ゲート配線4とデータ配線5との電位が同じになって、静電気等による画素部のTF T 3の絶縁破壊や特性変化が防止される。

【0033】なお、液晶表示素子は、各ゲート配線4に順次ゲート信号を供給し、それに同期させて各データ配線5にデータ信号を供給して表示駆動されるが、上記保護素子10a、10bは、両保護TF T 11、12のゲート電極31をそれぞれその保護TF Tのソース電極35に接続したものであるため、これら保護TF T 11、12はゲート信号およびデータ信号の電圧程度ではオンせず、したがって、ゲート配線4およびデータ配線5が前記保護素子10a、10bを介してショートリング9に接続されていても、液晶表示素子の表示駆動に影響を及ぼすことはない。

【0034】上記アクティブマトリックスパネルは、次のような製造方法によって製造されている。まず、基板1上にAl（アルミニウム）系合金等からなる金属膜を成膜し、この金属膜をパターニングして、図7に実線で示した、ゲート配線4および画素部のTF T 3のゲート電極31、キャパシタ配線6、ショータライン7、デー



タ配線5をショートライン7に接続するための中継電極8、ショートリング9の横配線部9a、保護TFT11、12のゲート電極31を同時に形成する。

【0035】次に、上記ゲート配線4および画素部のTFT3のゲート電極31を陽極酸化処理し、その表面に酸化膜を生成させる。図10において、aは、前記陽極酸化処理により生成された酸化膜であり、この酸化膜aは、その上のゲート絶縁膜32の絶縁耐圧を補うために形成されている。

【0036】上記陽極酸化処理は、基板1を電解液中に浸漬してその上の被酸化膜（ゲート配線4および画素部のTFT3のゲート電極31）を電解液中において陰極と対向させ、その状態で前記被酸化膜に対向電極の電位に対して正の電圧を印加することによって行なわれている。

【0037】この陽極酸化処理における前記被酸化膜への電圧の印加は、ショートライン7を給電路として行なわれており、ショートライン7に電圧を供給すると、このショートライン7から各ゲート配線4および各画素部のTFT3のゲート電極31に電圧が供給され、これら被酸化膜が電解液中で化成反応を起してその表面を陽極酸化される。

【0038】この場合、上記保護素子10a、10bのうち、ゲート配線4側の保護素子10aの一方の保護TFT11のゲート電極31はゲート配線4に一体に形成されているため、この保護TFT11のゲート電極31も同時に陽極酸化され、その表面にも酸化膜a（図11参照）が生成する。

【0039】また、各キャパシタ配線6の共通接続部は、その端部がショートライン7につながるパターンに形成されており、したがって、各キャパシタ配線6の表面も、上記陽極酸化処理によって同時に陽極酸化される。

【0040】なお、上記ショートライン7には、データ配線5をショートライン7に接続するための中継電極8もつながっているが、この中継電極8をレジストで覆っておけば、その表面を陽極酸化させてしまうことはないし、また、上記ゲート配線4の端子部4aおよびキャパシタ配線6の端子部6aをレジストで覆っておけば、これら端子部4a、6aの表面を陽極酸化させてしまうことはない。

【0041】上記陽極酸化処理を行なった後は、基板1上に、ゲート絶縁膜32、i型半導体膜33、チャンネル保護膜37を順次成膜し、前記チャンネル保護膜37を、画素部のTFT3および各保護TFT11、12のi型半導体膜33のチャンネル領域を覆う形状にパターンニングする。

【0042】次に、n型半導体膜34を成膜し、その上にCr（クロム）等からなる金属膜を成膜した後、この金属膜をパターンニングして画素部のTFT3および各保

護TFT11、12のソース電極35およびドレイン電極36を形成し、次いで前記n型半導体膜34をソース、ドレイン電極35、36と同じ形状にパターンニングして、画素部のTFT3および保護TFT10a、10bを完成する。

【0043】次に、ITO等からなる透明導電膜を成膜し、この透明導電膜をパターンニングして各画素電極2を形成し、その後、上記ゲート絶縁膜32に、ゲート配線4およびキャパシタ配線6の端子部4a、6aと中継電極8を露出させる開口と、上述した各コンタクト孔39、45を形成する。

【0044】この後は、Al系合金等からなる金属膜を成膜し、この金属膜をパターンニングして、データ配線5、各保護素子10a、10bのゲート配線接続膜38、ショートリング接続膜40、41、43、44、データ配線接続膜42を形成し、アクティブマトリックスパネルを完成する。

【0045】

【発明が解決しようとする課題】しかし、上記従来のアクティブマトリックスパネルは、その製造過程において、ゲート配線4および画素部のTFT3のゲート電極31と、ゲート配線4側の保護素子10aの一方の保護TFT11のゲート電極31の表面は陽極酸化できるが、前記ゲート配線4側の保護素子10aの他方の保護TFT12のゲート電極31および、データ配線5側の保護素子10bの両保護TFT11、12のゲート電極31は陽極酸化できないという問題をもっていた。

【0046】これは、ゲート配線4側の保護素子10aの他方の保護TFT12のゲート電極31およびデータ配線5側の保護素子10bの両保護TFT11、12のゲート電極31が、図7に実線で示したように個々に独立して形成されているため、これらゲート電極31には、陽極酸化処理のための電圧を供給することができないからである。

【0047】このため、上記従来のアクティブマトリックスパネルは、ゲート配線4側の保護素子10aの他方の保護TFT12およびデータ配線5側の保護素子10bの両保護TFT11、12に十分な絶縁耐圧をもたせることができなかった。

【0048】この発明は、静電気等による画素部のTFTの絶縁破壊や特性変化を防ぐための保護素子を構成する全ての保護TFTのゲート電極の表面を陽極酸化して、これら保護TFTに十分な絶縁耐圧をもたせた、信頼性の高いアクティブマトリックスパネルを提供することを目的としたものである。

【0049】

【課題を解決するための手段】この発明のアクティブマトリックスパネルは、液晶表示素子の大きさに対応する素子領域の周囲に前記液晶表示素子の組立て後に除去される余剰部を有する基板の前記素子領域に、複数の画素

10

20

30

40

50

電極と、これら各画素電極にそれぞれ接続された複数の T F T と、前記 T F T にゲート信号を供給するゲート配線と、前記 T F T にデータ信号を供給するデータ配線と、前記画素電極との間に補償容量を形成するキャパシタ配線とが設けられるとともに、前記ゲート配線およびデータ配線がそれぞれ、前記画素電極およびアクティブ T F T の配列領域を囲んで形成したショートリングに、ゲート電極とソース電極とが電気的に接続された 2 つの保護 T F T からなる保護素子を介して接続されており、前記保護素子は、一方の保護 T F T のソース電極をゲート配線またはデータ配線に、ドレイン電極をショートリングに接続し、他方の保護 T F T のソース電極をショートリングに、ドレイン電極をゲート配線またはデータ配線に接続して構成されており、かつ、前記基板の余剰部の上には複数のゲート配線、データ配線およびキャパシタ配線を短絡させるためのショートラインが形成され、前記基板の素子領域の上には前記データ配線を前記ショートラインに接続するための中継電極が形成され、前記画素電極に接続された T F T のゲート電極および前記保護素子を構成する 2 つの保護 T F T のゲート電極は、前記ゲート電極と前記キャパシタ配線と前記ショートリングと前記中継電極とのいずれかに一体に形成されて、前記ショートラインを給電路とする陽極酸化処理により電極表面を酸化されていることを特徴とするものである。

#### 【0050】

【作用】すなわち、この発明のアクティブマトリックスパネルは、ゲート配線と、キャパシタ配線と、データ配線をショートラインに接続するための中継電極と、ショートリングの一部とを、前記ショートラインにつないで形成し、保護素子を構成する 2 つの保護 T F T のゲート電極を、前記ゲート配線とキャパシタ配線と中継電極とショートリングとのいずれかに電気的に接続して形成することにより、前記ショートラインを給電路とする陽極酸化処理によって前記保護 T F T のゲート電極の表面を酸化させたものであり、このアクティブマトリックスパネルによれば、保護素子を構成する全ての保護 T F T のゲート電極の表面を陽極酸化しているため、これら保護 T F T に十分な絶縁耐圧をもたせることができる。

#### 【0051】

【実施例】以下、この発明の一実施例を図 1～図 5 を参照して説明する。図 1 はこの実施例のアクティブマトリックスパネルの等価回路の平面図であり、図 2 は、前記アクティブマトリックスパネルの各配線および電極のうち、基板上に形成されているものを実線で示し、基板上に設けた絶縁膜の上に形成されているものを破線で示した図、図 3 は、前記各配線および電極のうち、前記絶縁膜の上に形成されているものを実線で示し、基板上に形成されているものを破線で示した図である。

【0052】なお、図 1～図 3 において、図 6～図 8 に示した従来のアクティブマトリックスパネルに設けられ

ているものに対応するものには同符号を付し、従来のものと同じものについてはその詳細な説明を省略する。

【0053】この実施例のアクティブマトリックスパネルは、基本的には従来のアクティブマトリックスパネルと同様に、液晶表示素子の大きさに対応する素子領域 1 A の周囲に前記液晶表示素子の組立て後に除去される余剰部 1 B を有する基板 1 の素子領域 1 A に、複数の画素電極 2 と、これら各画素電極 2 にそれぞれ接続された複数の T F T 3 と、前記 T F T 3 にゲート信号を供給するゲート配線 4 と、前記 T F T 3 にデータ信号を供給するデータ配線 5 と、前記画素電極 2 との間に補償容量 C s を形成するキャパシタ配線 6 とを設け、前記余剰部 1 B には全てのデータ配線 4 およびデータ配線 5 を短絡させるためのショートライン 7 を設けるとともに、前記素子領域 1 A に、画素電極 2 および T F T 3 の配列領域を囲んでショートリング 9 を設けて、ゲート配線 4 およびデータ配線 5 をそれぞれ保護素子 10 a、10 b を介して前記ショートリング 9 に接続した構成となっている。

【0054】上記ゲート配線 4 とキャパシタ配線 6 とショートライン 7、および、データ配線 5 をショートライン 7 に接続するための中継電極 8 は、いずれも基板 1 上に形成されており、各ゲート配線 4 はその一端、つまり端子部 4 a を形成した端部において、前記ショートライン 7 に一体につながっている。

【0055】また、各キャパシタ配線 6 は、前記ゲート配線 4 の端子部形成端とは反対側の端部を共通接続されて、この共通接続された端部においてショートライン 7 に一体につながっており、上記中継電極 8 は、ショートライン 7 の横ライン部に一体に形成されている。

【0056】一方、上記ショートリング 9 は、ゲート配線 4 と平行に配線された 2 本の横配線部 9 a と、ゲート絶縁膜 3 2 の上にデータ配線 5 と平行に配線された 2 本の縦配線部 9 b とからなっており、これら配線部 9 a、9 b のうち、ゲート配線 4 の端子部形成端と交差する縦配線部（図 1 において左側の縦配線部）9 b 以外の三方の配線部（2 本の横配線部 9 a と右側の縦配線部 9 b）は基板 1 上に一体につないで形成され、ゲート配線 4 の端子部形成端と交差する縦配線部（以下、左側縦配線部という）9 b はゲート絶縁膜 3 2 の上に形成されている。なお、この左側縦配線部 9 b の両端は、前記ゲート絶縁膜 3 2 に設けたコンタクト孔（図示せず）において前記横配線部 9 a の端部に接続されている。

【0057】そして、上記ショートリング 9 の基板 1 上に形成された三方の配線部、つまり 2 本の横配線部 9 a と右側の縦配線部（以下、右側縦配線部という）9 b は、上記各キャパシタ配線 6 の共通接続配線に一体につながっており、前記キャパシタ配線 6 の共通接続配線を介して上記ショートライン 7 につながっている。なお、この実施例では、ショートリング 9 の右側縦配線部 9 b の一部を、キャパシタ配線 6 の共通接続配線で兼用して

いる。

【0058】次に、上記保護素子10a, 10bについて説明すると、図4はゲート配線4をショートリング9に接続する保護素子10aの断面図、図5はデータ配線5をショートリング9に接続する保護素子10bの断面図であり、これら保護素子10a, 10bは、それぞれ、従来のアクティブマトリックスパネルに設けられている保護素子と同様に、2つの保護TF T 11, 12で構成されている。

【0059】なお、これら保護素子10a, 10bを構成する保護TF T 11, 12は、図9および図10に示した画素部のTF T 3と基本的に同じ構造のものであり、基板1上に形成されたゲート電極31と、このゲート電極31を覆うゲート絶縁膜32と、このゲート絶縁膜32の上に前記ゲート電極31に対向させて形成されたi型半導体膜33と、このi型半導体膜33のチャンネル領域の上に設けられたチャンネル保護膜37と、前記i型半導体膜33の上にn型半導体膜34を介して形成されたソース電極35およびドレイン電極36とで構成されている。

【0060】ゲート配線4をショートリング9に接続する保護素子10aを構成する保護TF T 11, 12は、図1および図4に示すように、ゲート配線4をはさんでその端子部4a側の両側に配置されており、この保護素子10aは、2つの保護TF T 11, 12のゲート電極31をそれぞれその保護TF Tのソース電極35に電気的に接続するとともに、一方の保護TF T 11のソース電極35をゲート配線4に、ドレイン電極36をショートリング9に接続し、他方の保護TF T 12のソース電極35をショートリング9に、ドレイン電極36をゲート配線4に接続して構成されている。

【0061】上記保護TF T 11, 12のゲート配線4に接続される電極、つまり一方の保護TF T 11のソース電極35と、他方の保護TF T 12のドレイン電極36は、共通のゲート配線接続膜38を介してゲート絶縁膜32に設けたコンタクト孔39においてゲート配線4に接続されており、また、一方の保護TF T 11のドレイン電極36と他方の保護TF T 12のソース電極35は、ショートリング9の縦配線部9bに、この縦配線部9bに一体に形成したショートリング接続膜40, 41を介して接続されている。なお、前記ゲート配線接続膜38とショートリング9の縦配線部9bおよびショートリング接続膜40, 41は、データ配線5と同じ金属膜で形成されている。

【0062】そして、一方の保護TF T 11のゲート電極31は、ゲート配線4に一体に形成されて、このゲート配線4と上記ゲート配線接続膜38を介してこの保護TF T 11のソース電極35に電気的に接続されている。

【0063】また、他方の保護TF T 12のゲート電極

31は、図2のように、キャパシタ配線6から前記他方の保護TF T 12の形成部に延長させて形成した延長部に一体に形成されており、このゲート電極31は、ショートリング9の左側縦配線部9bをゲート絶縁膜32に設けたコンタクト孔(図示せず)においてキャパシタ配線6の延長部に接続することにより、キャパシタ配線とショートリング9と上記ショートリング接続膜41を介してこの保護TF T 12のソース電極35に電気的に接続されている。

【0064】また、データ配線5をショートリング9に接続する保護素子10bを構成する保護TF T 11, 12は、図1および図5に示すように、データ配線5をはさんでその端子部5a側の両側に配置されており、この保護素子10bは、2つの保護TF T 11, 12のゲート電極31をそれぞれその保護TF Tのソース電極35に電気的に接続するとともに、一方の保護TF T 11のソース電極35をデータ配線5に、ドレイン電極36をショートリング9に接続し、他方の保護TF T 12のソース電極35をショートリング9に、ドレイン電極36をデータ配線5に接続して構成されている。

【0065】上記保護TF T 11, 12のデータ配線5に接続される電極、つまり一方の保護TF T 11のソース電極35と、他方の保護TF T 12のドレイン電極36は、データ配線5に一体に形成されたデータ配線接続膜42を介して前記データ配線5に接続されており、また、一方の保護TF T 11のドレイン電極36と他方の保護TF T 12のソース電極35は、データ配線5と同じ金属膜からなるショートリング接続膜43, 44を介してショートリング9の横配線部9aに接続されている。なお、ショートリング9の横配線部9aは基板1上に配線されているため、前記ショートリング接続膜43, 44は、ゲート絶縁膜32に設けたコンタクト孔(図示せず)において前記横配線部9aに接続されている。

【0066】また、一方の保護TF T 11のゲート電極31は、図2のように、データ配線5をショートライン7に接続するための中継電極8から導出したリード部8aに一体に形成されており、このゲート電極31は、前記データ配線5をゲート絶縁膜32に設けたコンタクト孔45において前記リード部8aに接続することにより、中継電極8およびデータ配線5を介して、その保護TF T 11のソース電極35に電気的に接続されている。

【0067】また、他方の保護TF T 12のゲート電極31は、ショートリング9の横配線部9aに一体に形成されており、ショートリング9を介してこの保護TF T 12のソース電極35に電気的に接続されている。

【0068】そして、各保護素子10a, 10bの全ての保護TF T 11, 12のゲート電極31は、前記ゲート配線4とキャパシタ配線6とショートリング9と中継

電極8とのいずれかに電氣的に接続されており、基板1の余剰部1Bに形成したショートライン7を給電路とする陽極酸化処理により、ゲート配線4および画素部のTFT3のゲート電極31(図10参照)とキャパシタ配線6とともに、電極表面を陽極酸化処理されている。

【0069】なお、この陽極酸化処理は、中継電極8から導出されて保護TFT11のゲート電極31につながっているリード部8aにも施されており、前記ゲート配線4はその端子部4aと上記ゲート配線接続膜38の接続部(コンタクト孔39に対応する部分)を除いて陽極酸化され、中継電極8のリード部8aは、上記データ配線5の接続部(コンタクト孔45に対応する部分)を除いて陽極酸化されている。

【0070】図4および図5において、aは、陽極酸化処理によって生成された酸化膜であり、この酸化膜aを生成させた部分は、金属膜の酸化による体積の増加により非酸化部分より若干盛り上がっている。

【0071】上記保護素子10a、10bは、従来のアクティブマトリックスパネルの保護素子と同様に、ゲート配線4またはデータ配線5に静電気等の高電圧が加わったときに、2つの保護TFT11、12の一方がオン状態となってゲート配線4とデータ配線5とをショートリング9を介して導通させるものであり、ゲート配線4およびデータ配線5を前記保護素子10a、10bを介してショートリング9に接続しておけば、基板1の余剰部1Bを除去した後(ショートライン7が切り離された後)の静電気等による画素部のTFT3の絶縁破壊や特性変化を防ぐことができる。

【0072】上記アクティブマトリックスパネルは、次のような製造方法で製造する。まず、基板1上にAl系合金等からなる金属膜を成膜し、この金属膜をパターニングして、図2に実線で示した、ゲート配線4および画素部のTFT3のゲート電極31、キャパシタ配線6、ショートライン7、データ配線5をショートライン7に接続するための中継電極8およびそのリード部8a、ショートリング9の2本の横配線部9aおよび右側縦配線部9b、全ての保護素子10a、10bの保護TFT11、12のゲート電極31を同時に形成する。

【0073】この工程において、ゲート配線4とキャパシタ配線6およびショートリング9の基板1上に形成する配線部9a、9bと中継電極8は、全てショートライン7と一体に形成する。

【0074】また、画素部のTFT3のゲート電極31と、保護素子10aの両保護TFT11、12のゲート電極31とゲート配線4側の保護素子10aの一方の保護TFT11のゲート電極31はゲート配線4と一体に形成し、前記ゲート配線4側の保護素子10aの他方の保護TFT12のゲート電極31は前記キャパシタ配線6と一体に形成する。

【0075】さらに、データ配線5側の保護素子10b

の一方の保護TFT11のゲート電極31は上記中継電極8のリード部8aと一体に形成し、このデータ配線5側の保護素子10bの他方の保護TFT12のゲート電極31は上記ショートリング9の横配線部9aと一体に形成する。

【0076】次に、ゲート配線4および画素部のTFT3のゲート電極31と、全ての保護TFT11、12のゲート電極31と、中継電極8のリード部8aと、キャパシタ配線6とを同時に陽極酸化処理し、これらの表面に酸化膜aを生成させる。

【0077】この陽極酸化処理は、ゲート配線4の端子部4aおよびゲート配線接続膜38の接続部と、中継電極8およびそのリード部8aのデータ配線接続部と、キャパシタ配線6の端子部6aとをレジストでマスクし、基板1を電解液中に浸漬してその上の被酸化膜(ゲート配線4、キャパシタ配線6、ショートリング9の横配線部9aおよび右側縦配線部9b、ゲート電極31等)を電解液中において陰極と対向させ、ショートライン7を給電路として、前記被酸化膜に対向電極の電位に対して正の電圧を印加することによって行なう。

【0078】このように、ショートライン7に電圧を供給すると、このショートライン7につながっているゲート配線4とキャパシタ配線6と中継電極8とショートリング9の横配線部9aおよび右側縦配線部9bとに前記電圧が供給されるとともに、これらを介して画素部のTFT3および全ての保護TFT11、12のゲート電極31に前記電圧が供給され、これらの被酸化膜が電解液中で化成反応を起してその表面を陽極酸化される。

【0079】上記陽極酸化処理を行なった後は、基板1上に、ゲート絶縁膜32、i型半導体膜33、チャンネル保護膜37を順次成膜し、前記チャンネル保護膜37を、画素部のTFT3および各保護TFT11、12のi型半導体膜33のチャンネル領域を覆う形状にパターニングする。

【0080】次に、n型半導体膜34を成膜し、その上にCr等からなる金属膜を成膜した後、この金属膜をパターニングして画素部のTFT3および各保護TFT11、12のソース電極35およびドレイン電極36を形成し、次いで前記n型半導体膜34をソース、ドレイン電極35、36と同じ形状にパターニングして、画素部のTFT3および保護TFT10a、10bを完成する。

【0081】次に、ITO等からなる透明導電膜を成膜し、この透明導電膜をパターニングして各画素電極2を形成し、その後、上記ゲート絶縁膜32に、ゲート配線4およびキャパシタ配線6の端子部4a、6aと中継電極8を露出させる開口と、上述した各コンタクト孔39、45を形成する。

【0082】この後は、Al系合金等からなる金属膜を成膜し、この金属膜をパターニングして、データ配線5

と、各保護素子 10a, 10b のゲート配線接続膜 38 およびデータ配線接続膜 42 を同時に形成し、アクティブマトリックスパネルを完成する。

【0083】すなわち、上記アクティブマトリックスパネルは、ゲート配線 4 と、キャパシタ配線 6 と、データ配線 5 をショートライン 7 に接続するための中継電極 8 と、ショートリング 9 のうちのゲート配線 4 の端子部形成端と交差する左側配線部 9b 以外の三方の配線部（2本の横配線部 9a と右側配線部 9b）とを、基板 1 上に前記ショートライン 7 につないで形成し、保護素子 10a, 10b を構成する 2 つの保護 TFT 11, 12 のゲート電極 31 を、前記ゲート配線 4 とキャパシタ配線 6 と中継電極 8 とショートリング 9 の基板上に形成された配線部 9a, 9b とのいずれかに一体に形成することにより、前記ショートライン 7 を給電路とする陽極酸化処理によって、全ての保護 TFT 11, 12 のゲート電極 31 の表面を酸化させたものである。

【0084】このアクティブマトリックスパネルによれば、保護素子 10a, 10b を構成する全ての保護 TFT 11, 12 のゲート電極 31 の表面を陽極酸化しているため、これら保護 TFT 11, 12 に十分な絶縁耐圧をもたせることができるから、アクティブマトリックスパネルの信頼性を向上させることができる。

【0085】なお、上記実施例では、ショートリング 9 のゲート配線 4 の端子部形成端と交差する縦配線部 9b 以外の三方の配線部 9a, 9b を一体につないで形成し、この三方の配線部 9a, 9b をキャパシタ配線 6 の共通接続配線を介してショートライン 7 につないでいるが、このショートリング 9 の基板 1 上に形成する配線部は、その端部を基板 1 の余剰部 1B に延長させて直接ショートライン 7 につないでもよく、その場合は、ショートライン 7 の一部、例えば 2 本の横配線部 9a またはデータ配線 5 側の保護素子 10b を接続する 1 本の横配線部 9a だけを基板 1 上に形成し、他の配線部はゲート絶縁膜 32 の上に形成して、コンタクト孔において基板 1 上の横配線部 9a と接続してもよい。

【0086】また、上記実施例では、データ配線 5、各保護素子 10a, 10b のゲート配線接続膜 38 およびデータ配線接続膜 42 を、ゲート絶縁膜 32 の上に形成しているが、これらは、前記ゲート絶縁膜 32 の上に層間絶縁膜を設けてその上に形成し、前記層間絶縁膜にコンタクト孔を設けて画素部の TFT 3 および保護 TFT 11, 12 のソース、ドレイン電極 35, 36 やデータ配線 5 に接続してもよい。

【0087】

【発明の効果】本発明のアクティブマトリックスパネルは、ゲート配線と、キャパシタ配線と、データ配線をショートラインに接続するための中継電極と、ショートリングの一部とを、前記ショートラインにつないで形成し、保護素子を構成する 2 つの保護 TFT のゲート電極

を、前記ゲート配線とキャパシタ配線と中継電極とショートリングとのいずれかに一体に形成することにより、前記ショートラインを給電路とする陽極酸化処理によって前記保護 TFT のゲート電極の表面を酸化させたものであり、このアクティブマトリックスパネルによれば、保護素子を構成する全ての保護 TFT のゲート電極の表面を陽極酸化しているため、これら保護 TFT に十分な絶縁耐圧をもたせることができる。

【図面の簡単な説明】

10 【図 1】本発明の一実施例を示すアクティブマトリックスパネルの等価回路の平面図。

【図 2】同アクティブマトリックスパネルの各配線および電極のうち、基板上に形成されているものを実線で示し、基板上に設けた絶縁膜の上に形成されているものを破線で示した図。

【図 3】同アクティブマトリックスパネルの各配線および電極のうち、絶縁膜の上に形成されているものを実線で示し、基板上に形成されているものを破線で示した図。

20 【図 4】同アクティブマトリックスパネルのゲート配線をショートリングに接続する保護素子の断面図。

【図 5】同アクティブマトリックスパネルのデータ配線をショートリングに接続する保護素子の断面図。

【図 6】従来のアクティブマトリックスパネルの等価回路の平面図。

【図 7】従来のアクティブマトリックスパネルの各配線および電極のうち、基板上に形成されているものを実線で示し、基板上に設けた絶縁膜の上に形成されているものを破線で示した図。

30 【図 8】従来のアクティブマトリックスパネルの各配線および電極のうち、前記絶縁膜の上に形成されているものを実線で示し、基板上に形成されているものを破線で示した図。

【図 9】アクティブマトリックスパネルの 1 つの画素部の具体的構成を示す平面図。

【図 10】図 9 の X-X 線に沿う拡大断面図。

【図 11】従来のアクティブマトリックスパネルにおけるゲート配線をショートリングに接続する保護素子の断面図。

40 【図 12】従来のアクティブマトリックスパネルにおけるデータ配線をショートリングに接続する保護素子の断面図。

【符号の説明】

1…基板

1A…素子領域

1B…余剰部

2…画素電極

3…画素部の TFT

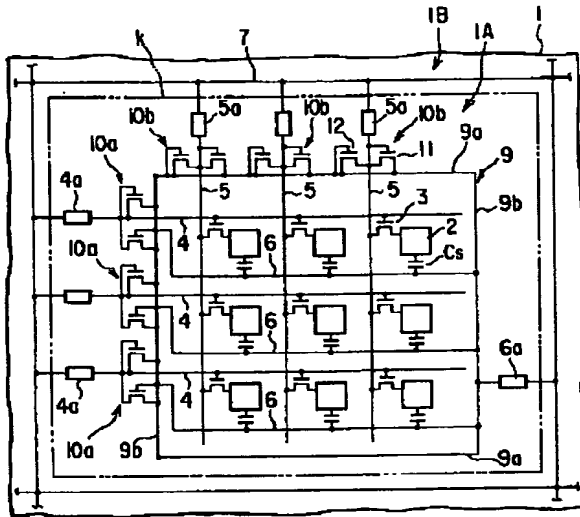
4…ゲート配線

50 5…データ配線

17

- 6…キャパシタ配線  
7…ショートライン  
8…中継電極  
10a, 10b…保護素子  
11, 12…保護TFT

【図1】

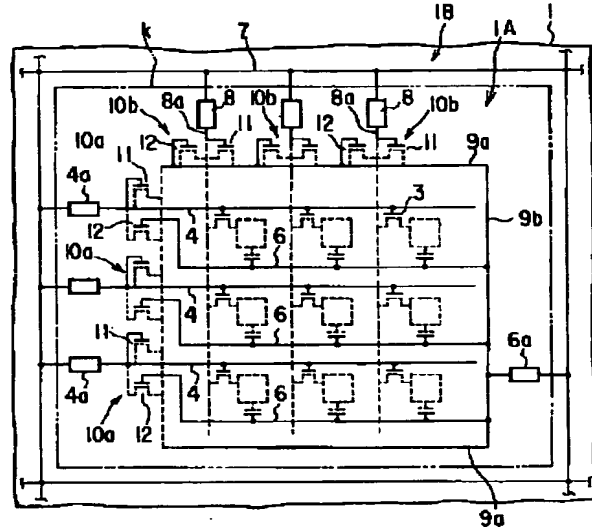


- 1…基板  
1A…素子領域  
1B…余剰部  
2…画素電極  
3…TFT  
4…ゲート配線  
5…データ配線  
6…キャパシタ配線  
7…ショートライン  
8…中継電極  
9…ショートリング  
10a, 10b…保護素子  
11, 12…保護TFT

18

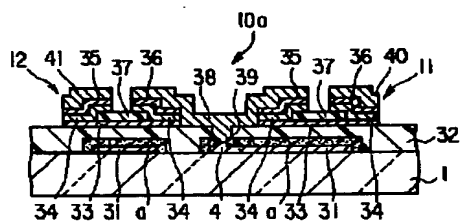
- 31…ゲート電極  
a…酸化膜  
35…ソース電極  
36…ドレイン電極

【図2】

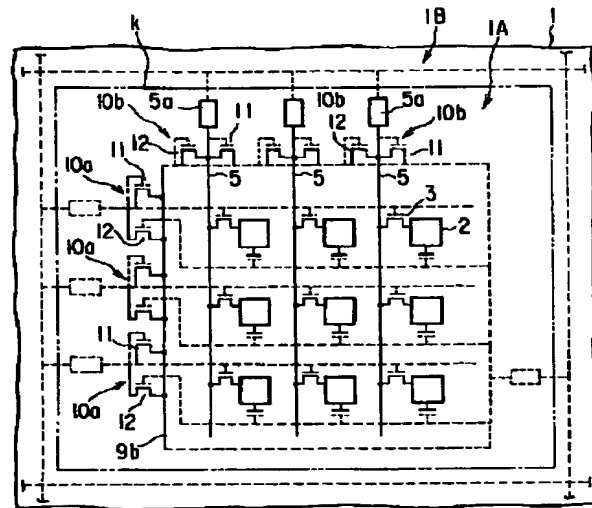
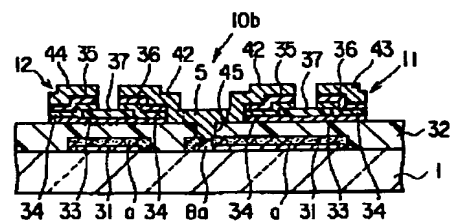


【図3】

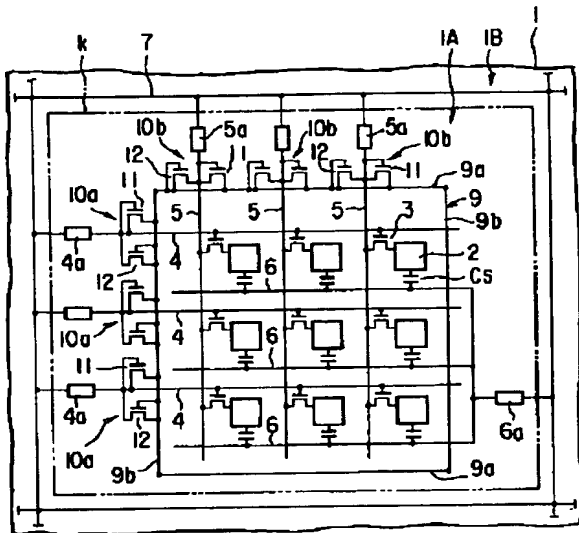
【図4】



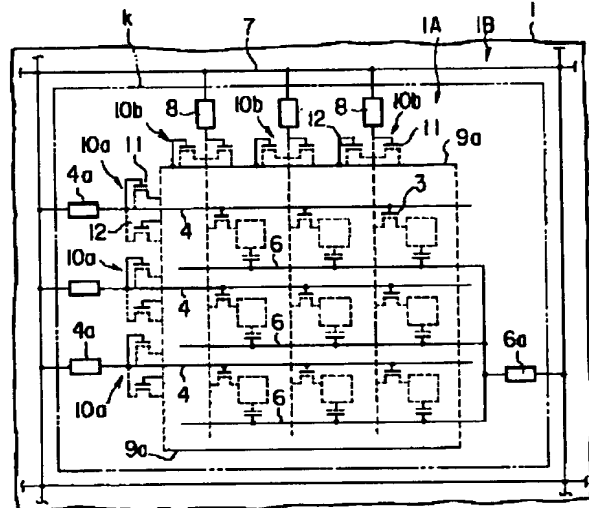
【図5】



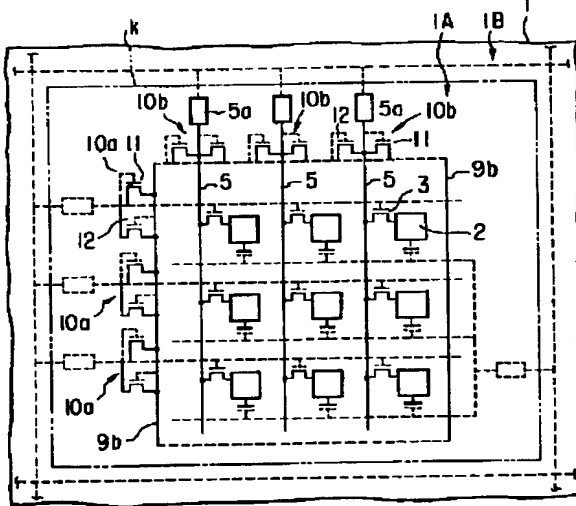
【図 6】



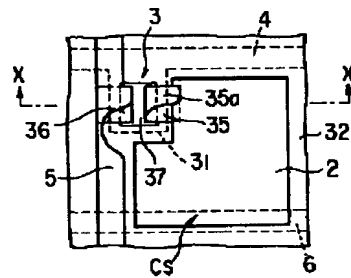
【図 7】



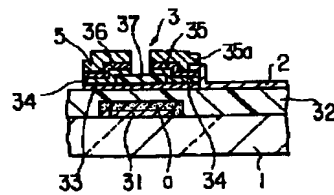
【図 8】



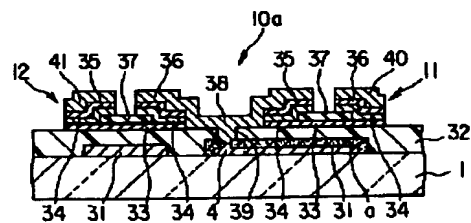
【図 9】



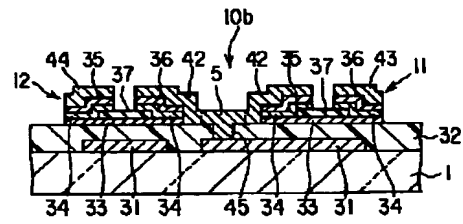
【図 10】



【図 11】



【図 1 2】





\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix panel used for an active matrix liquid crystal display element.

[0002]

[Description of the Prior Art] Conventionally, the active matrix panel used for an active matrix liquid crystal display element has the following composition. In addition, generally the liquid crystal display element is manufactured by the process which assembles two or more liquid crystal display elements collectively, and let the active matrix panel used when manufacturing a liquid crystal display element by this process be the size which can extract the panel for liquid crystal display element plurality.

[0003] Drawing 6 is the equal circuit-plan of the conventional active matrix panel used for the liquid crystal display element manufactured by the above-mentioned process. drawing 7 A solid line shows what is formed on the substrate each wiring of the aforementioned active matrix panel, and among electrodes. Drawing having shown with the dashed line what currently formed on the insulator layer prepared on the substrate, and drawing 8 are drawings in which having shown what is formed on the aforementioned insulator layer among each aforementioned wiring and the electrode as the solid line, and having shown what is formed on the substrate with the dashed line.

[0004] Two or more transparent pixel electrodes 2 arranged in the shape of a matrix on the transparent substrate 1 which this active matrix panel becomes from glass etc., Two or more active elements 3 which consist of TFT connected to these pixel electrode 2, respectively (it is hereafter described as TFT), Two or more gate wiring 4 which it wires for every pixel electrode line, and supplies a gate signal to TFT3 of each line, It wires for every pixel electrode line with two or more data wiring 5 which it wires for every pixel electrode train, and supplies a data signal to TFT3 of each train, and is a compensation capacitance (storage capacitor) Cs between each pixel electrode 2. Two or more capacitor wiring 6 to form is formed, and it is constituted.

[0005] The portion which the above-mentioned substrate 1 is a large-sized substrate of the size which can extract the active matrix panel for liquid crystal display element plurality, and serves as an active matrix panel of each liquid crystal display element It consists of field (henceforth element field) 1A corresponding to the size of a liquid crystal display element, and surplus section 1B secured to the circumference of this element field 1A, and the above-mentioned pixel electrode 2, TFT3 and the gate, the data wiring 4 and 5, and the capacitor wiring 6 are formed in the aforementioned element field 1A.

[0006] The plan in which drawing 9 shows the concrete composition of the one pixel section of the above-mentioned active matrix panel, and drawing 10 are drawing 9 . X-X It is the expanded sectional view which meets a line. As shown in this drawing 9 and drawing 10 , the above-mentioned gate wiring 4 and the capacitor wiring 6 are wired on the substrate 1. TFT3 The gate electrode 31 formed on the substrate 1 at the above-mentioned gate wiring 4 and one, The gate insulator layer 32 which consists this gate electrode 31 of wrap Si N (silicon nitride) etc., The i-type-semiconductor film 33 which consists of a-Si which was made to counter the aforementioned gate electrode 31 and was formed on this gate insulator layer 32 (amorphous silicon), a-Si which doped the impurity on this i-type-semiconductor film 33 from -- it consists of the source electrodes 35 and the drain electrodes 36 which were formed through the becoming n-type-semiconductor film 34 In addition, 37 is a channel protective coat which consists of Si N prepared on the channel field of the aforementioned i-type-semiconductor film 33.

[0007] In addition, the above-mentioned gate insulator layer 32 covers the gate wiring 4 and the capacitor wiring 6, it is mostly formed in the whole surface and terminal area 4a (refer to drawing 6 ) of the gate wiring 4 is exposed by [ of a substrate 1 ] forming opening in the aforementioned gate insulator layer 32.

[0008] And the pixel electrode 2 is formed on the above-mentioned gate insulator layer 32, and this pixel electrode 2 is

connected to the aforementioned source electrode 35 by forming the edge of the unilateral edge in piles on the source electrode 35 of TFT3.

[0009] Moreover, the data wiring 5 is wired on the above-mentioned gate insulator layer 32, and this data wiring 5 is formed in piles on the drain electrode 36 of TFT3, and is connected to the aforementioned drain electrode 36.

[0010] In addition, 35a is an up electrode which was formed on the above-mentioned source electrode 35 and which consists of the same metal membrane as the data wiring 5, and this up electrode 35a is formed by leaving the aforementioned metal membrane also on the source electrode 35, and \*\*\*\*\*ing, in order to ensure electric connection between the pixel electrode 2 and the source electrode 35.

[0011] On the other hand, the above-mentioned capacitor wiring 6 has countered the marginal part of the pixel electrode 2 from the lower part, and is the above-mentioned compensation capacitance Cs. It is formed by the capacitor wiring 6, the pixel electrode 2, and the gate insulator layer in the meantime. In addition, as the end is shown in drawing 5, common connection of each capacitor wiring 6 is made, and terminal area 6a connected to a reference potential is formed in the common connection.

[0012] moreover, surplus section 1B of the above-mentioned substrate 1 -- being final (after joining an active matrix panel and an opposite panel and assembling a liquid crystal display element) -- it is the portion removed and fragmentation removal of this surplus section 1B is carried out along with the part open circuit k which meets the profile of element field 1A shown in drawing with the two-dot chain line

[0013] By the way, although the orientation film (not shown) which consists of a polyimide etc. is formed on the above-mentioned active matrix panel and orientation processing which, on the other hand, carries out rubbing of the film surface to \*\* is performed to this orientation film, dielectric breakdown may occur in TFT3, or the voltage-current property of TFT3 may change with static electricity generated in that case at the time of rubbing of an orientation film to it.

[0014] For this reason, by the above-mentioned active matrix panel, dielectric breakdown of TFT3 and property change by static electricity etc. are prevented by short-circuiting two or more gate wiring 4 and data wiring 5 in surplus section 1B of a substrate 1.

[0015] That is, the short line 7 for short-circuiting all gate wiring 4 and data wiring 5, as shown in drawing 6 is formed in surplus section 1B of a substrate 1, and each gate wiring 4 and each data wiring 5 are connected to the aforementioned short line 7. In addition, on the substrate 1, this short line 7 surrounds the perimeter of element field 1A, and is formed in the shape of a grid, and the ends of the line section in every direction are extended to the periphery marginal part of a substrate 1, respectively.

[0016] The above-mentioned short line 7 is formed on the substrate 1 like drawing 7, and each gate wiring 4 has led to the vertical line section of the short line 7 through the wiring section which the above-mentioned surplus section 1B was made to extend from terminal area 4a.

[0017] Moreover, it is made to correspond to the part which forms terminal area 5a of each data wiring 5 like drawing 7 on element field 1A of a substrate 1, respectively, and the relay electrode 8 for connecting each data wiring 5 to the short line 7 is formed in the horizontal line section of the aforementioned short line 7, and one. In addition, this relay electrode 8 is exposed by preparing opening in the above-mentioned gate insulator layer 32.

[0018] And each data wiring 5 is connected to the short line 7 through the aforementioned relay electrode 8 by forming the terminal area 5a in piles on the above-mentioned relay electrode 8.

[0019] Thus, if all gate wiring 4 and data wiring 5 are short-circuited through the short line 7 in surplus section 1B of a substrate 1, since the potential of these wiring 4 and 5 will become the same, dielectric breakdown of TFT3 and property change by static electricity etc. can be prevented.

[0020] However, TFT3 may carry out dielectric breakdown with the voltage, or surplus section 1B of the above-mentioned substrate 1 may produce property change, when the body electrified, such as static electricity, touches or approaches a liquid crystal display element in case the manufactured liquid crystal display element is mounted in electronic equipment, the inside of the manufacturing process of a subsequent liquid crystal display element, and, since it is removed after assembling a liquid crystal display element.

[0021] then, by the above-mentioned active matrix panel After removing the above-mentioned surplus section 1B (after the short line 7 was separated), in order to enable it to prevent dielectric breakdown of TFT3 and property change by static electricity etc., Into the portion (inside of element field 1A) inside the surplus section fragmentation part (minute open-circuit k) of a substrate 1 The pixel electrode 2 and the array field of TFT3 were surrounded, the short ring 9 for the cure against static electricity was formed, and the gate wiring 4 and the data wiring 5 are connected to the aforementioned short ring 9 through the protection elements 10a and 10b.

[0022] Two horizontal wiring section 9a wired in parallel with the gate wiring 4 on the substrate 1 as the above-mentioned short ring 9 was shown in drawing 7 and drawing 8, the contact which consists of data wiring 5 and two

vertical wiring sections 9b wired in parallel, and prepared the edge of these horizontal wiring section 9a and vertical wiring section 9b on the gate insulator layer 32 at the aforementioned gate insulator layer 32 -- it is connected and constituted in the hole (not shown)

[0023] The cross section of protection element 10a with which drawing 11 connects the gate wiring 4 to the short ring 9, and drawing 12 are cross sections of protection element 10b which connect the data wiring 5 to the short ring 9, and these protection elements 10a and 10b consist of two protection TFT (it is hereafter described as Protection TFT) 11 and 12, respectively.

[0024] In addition, since the protection 11 and TFT 12 which constitutes these protection elements 10a and 10b is the thing of the same structure as fundamentally as TFT3 of the pixel section shown in drawing 9 and drawing 10, explanation of the composition attaches a same sign in drawing, and it omits.

[0025] The protection 11 and TFT 12 which constitutes protection element 10a which connects the gate wiring 4 to the short ring 9 As shown in drawing 6 and drawing 11, on both sides of the gate wiring 4, it is arranged at the both sides by the side of the terminal area 4a. this protection element 10a While connecting electrically the gate electrode 31 of two protection 11 and TFT 12 to the source electrode 35 of the protection TFT, respectively The source electrode 35 of one protection TFT 11 is connected to the gate wiring 4, the drain electrode 36 is connected to the short ring 9, the source electrode 35 of the protection TFT 12 of another side is connected to the short ring 9, the drain electrode 36 is connected to the gate wiring 4, and it is constituted.

[0026] The electrode 35 connected to the gate wiring 4 of the above-mentioned protection 11 and TFT 12, i.e., the source electrode of one protection TFT 11, and the drain electrode 36 of the protection TFT 12 of another side It connects with the gate wiring 4 in the hole 39. the contact prepared in the gate insulator layer 32 through the common gate wiring connection film 38 -- Moreover, the drain electrode 36 of one protection TFT 11 and the source electrode 35 of the protection TFT 12 of another side are connected to vertical wiring section 9b of the short ring 9 through the short ring connection films 40 and 41 formed in one at this vertical wiring section 9b. In addition, vertical wiring section 9b of the aforementioned gate wiring connection film 38 and the short ring 9 and the short ring connection films 40 and 41 are formed by the same metal membrane as the data wiring 5.

[0027] And the gate electrode 31 of one protection TFT 11 It is formed in one at the gate wiring 4, and connects with the source electrode 35 of this protection TFT 11 electrically through this gate wiring 4 and the above-mentioned gate wiring connection film 38. the contact whose gate electrode 31 of the protection TFT 12 of another side prepared vertical wiring section 9b of the short ring 9 in the gate insulator layer 32 -- by connecting with the lead section derived from the aforementioned gate electrode 31 in the hole (not shown) It connects with the source electrode 35 of this protection TFT 12 electrically through the short ring 9 and the above-mentioned short ring connection film 41.

[0028] Moreover, the protection 11 and TFT 12 which constitutes protection element 10b which connects the data wiring 5 to the short ring 9 As shown in drawing 6 and drawing 12, on both sides of the data wiring 5, it is arranged at the both sides by the side of the terminal area 5a. this protection element 10b While connecting electrically the gate electrode 31 of two protection 11 and TFT 12 to the source electrode 35 of the protection TFT, respectively The source electrode 35 of one protection TFT 11 is connected to the data wiring 5, the drain electrode 36 is connected to the short ring 9, the source electrode 35 of the protection TFT 12 of another side is connected to the short ring 9, the drain electrode 36 is connected to the data wiring 5, and it is constituted.

[0029] The electrode 35 connected to the data wiring 5 of the above-mentioned protection 11 and TFT 12, i.e., the source electrode of one protection TFT 11, and the drain electrode 36 of the protection TFT 12 of another side It connects with the aforementioned data wiring 5 through the data wiring connection film 42 formed in the data wiring 5 at one. Moreover, the drain electrode 36 of one protection TFT 11 and the source electrode 35 of the protection TFT 12 of another side are connected to horizontal wiring section 9a of the short ring 9 through the short ring connection films 43 and 44 which consist of the same metal membrane as the data wiring 5. in addition, the contact which formed the aforementioned short ring connection films 43 and 44 in the gate insulator layer 32 since horizontal wiring section 9a of the short ring 9 was wired on the substrate 1 -- it connects with the aforementioned horizontal wiring section 9a in the hole (not shown)

[0030] Moreover, the gate electrode 31 of one protection TFT 11 It is made to extend under the data wiring 5 which connected the source electrode 35 of this protection TFT 11, and is formed. the gate electrode 31 of the protection TFT 11 of one of these the contact which formed the aforementioned data wiring 5 in the gate insulator layer 32 -- by connecting with the extension of the aforementioned gate electrode 31 in a hole 45, it connects with the source electrode 35 of this protection TFT 11 electrically through the data wiring 5

[0031] Moreover, the gate electrode 31 of the protection TFT 12 of another side is formed in horizontal wiring section 9a of the short ring 9 at one, and is electrically connected to the source electrode 35 of this protection TFT 12 through the short ring 9.

[0032] When high voltages, such as static electricity, join the gate wiring 4 or the data wiring 5, the above-mentioned protection elements 10a and 10b If one side of two protection 11 and TFT 12 will be in an ON state, and makes it flow through the gate wiring 4 and the data wiring 5 through the short ring 9 and the high voltage joins the gate wiring 4 While one protection TFT 11 of protection element 10a by the side of the gate wiring 4 will be in an ON state and the gate wiring 4 and the short ring 9 flow The protection TFT 12 of another side of protection element 10a by the side of the data wiring 5 will be from the gate wiring 4 in an ON state with the voltage which joins the short ring 9, and the data wiring 5 and the short ring 9 flow. The potential of the gate wiring 4 and the data wiring 5 becomes the same, and dielectric breakdown of TFT3 of the pixel section and property change by static electricity etc. are prevented.

[0033] In addition, although a liquid crystal display element supplies a gate signal to each gate wiring 4 one by one, it is made to synchronize with it, a data signal is supplied to each data wiring 5 and a display drive is carried out In order that the above-mentioned protection elements 10a and 10b may connect the gate electrode 31 of both protection 11 and TFT 12 to the source electrode 35 of the protection TFT, respectively, In the voltage grade of a gate signal and a data signal, these protection 11 and TFT 12 does not affect the display drive of a liquid crystal display element, even if it does not turn on, therefore the gate wiring 4 and the data wiring 5 are connected to the short ring 9 through the aforementioned protection elements 10a and 10b.

[0034] The above-mentioned active matrix panel is manufactured by the following manufacture methods. First, on a substrate 1, form the metal membrane which consists of an aluminum system (aluminum) alloy etc., and patterning of this metal membrane is carried out. Horizontal wiring section 9a of the relay electrode 8 for connecting to the short line 7 the gate wiring 4 shown in drawing 7 as the solid line and the gate electrode 31 of TFT3 of the pixel section, the capacitor wiring 6, the short line 7, and the data wiring 5, and the short ring 9, The gate electrode 31 of protection 11 and TFT 12 is formed simultaneously.

[0035] Next, anodizing of the above-mentioned gate wiring 4 and the gate electrode 31 of TFT3 of the pixel section is carried out, and the front face is made to generate an oxide film. In drawing 10 , a is the oxide film generated by the aforementioned anodizing, and this oxide film a is formed in order to compensate the isolation voltage of the gate insulator layer 32 on it.

[0036] The above-mentioned anodizing is immersed into the electrolytic solution in a substrate 1, makes the oxide film-ed on it (the gate wiring 4 and gate electrode 31 of TFT3 of the pixel section) counter with cathode into the electrolytic solution, and is performed by impressing positive voltage to the aforementioned oxide film-ed to the potential of a counterelectrode in the state.

[0037] If impression of the voltage to the aforementioned oxide film-ed in this anodizing is performed considering the short line 7 as a feed line and voltage is supplied to the short line 7, voltage is supplied to each gate wiring 4 and the gate electrode 31 of TFT3 of each pixel section from this short line 7, an oxide film-ed [ these ] will cause the Chemicals reaction in the electrolytic solution, and anodic oxidation will be carried out in the front face.

[0038] In this case, among the above-mentioned protection elements 10a and 10b, since the gate electrode 31 of one protection TFT 11 of protection element 10a by the side of the gate wiring 4 is formed in the gate wiring 4 at one, anodic oxidation also of the gate electrode 31 of this protection TFT 11 is carried out simultaneously, and an oxide film a (refer to drawing 11 ) generates it also on the front face.

[0039] Moreover, the common connection of each capacitor wiring 6 is formed in the pattern with which the edge is connected with the short line 7, therefore anodic oxidation also of the front face of each capacitor wiring 6 is simultaneously carried out by the above-mentioned anodizing.

[0040] In addition, although the relay electrode 8 for connecting the data wiring 5 to the short line 7 is also connected with the above-mentioned short line 7 carrying out anodic oxidation of the front face, if this relay electrode 8 is covered by the resist -- or -- moreover, if terminal area 4a of the above-mentioned gate wiring 4 and terminal area 6a of the capacitor wiring 6 are covered by the resist, anodic oxidation of the front face of these terminal areas 4a and 6a will not be carried out

[0041] After performing the above-mentioned anodizing, on a substrate 1, the gate insulator layer 32, the i-type-semiconductor film 33, and the channel protective coat 37 are formed one by one, and patterning of the channel field of TFT3 of the pixel section and the i-type-semiconductor film 33 of each protection 11 and TFT 12 is carried out for the aforementioned channel protective coat 37 to a wrap configuration.

[0042] Next, after forming the n-type-semiconductor film 34 and forming the metal membrane which consists of Cr etc. on it (chromium), patterning of this metal membrane is carried out, TFT3 of the pixel section, the source electrode 35 of each protection 11 and TFT 12, and the drain electrode 36 are formed, subsequently to the same configuration as the source and the drain electrodes 35 and 36 patterning of the aforementioned n-type-semiconductor film 34 is carried out, and TFT3 of the pixel section and Protection 10a and TFT 10b are completed.

[0043] next, opening which the transparent electric conduction film which consists of ITO etc. is formed, patterning of

his transparent electric conduction film is carried out [ opening ], and each pixel electrode 2 is formed [ opening ], and exposes the terminal areas 4a and 6a and the relay electrode 8 of the gate wiring 4 and the capacitor wiring 6 to the above-mentioned gate insulator layer 32 after that and each contact mentioned above -- holes 39 and 45 are formed [0044] After this, it is aluminum. The metal membrane which consists of a system alloy etc. is formed, patterning of this metal membrane is carried out, the data wiring 5, the gate wiring connection film 38 of each protection elements 10a and 10b, the short ring connection films 40, 41, 43, and 44, and the data wiring connection film 42 are formed, and an active matrix panel is completed.

[0045]

[Problem(s) to be Solved by the Invention] However, in the manufacture process, although the above-mentioned conventional active matrix panel can anodize the front face of the gate wiring 4 and the gate electrode 31 of TFT3 of the pixel section, and the gate electrode 31 of one protection TFT 11 of protection element 10a by the side of the gate wiring 4 The gate electrode 31 of the protection TFT 12 of another side of protection element 10a by the side of the aforementioned gate wiring 4 and the gate electrode 31 of both protection 11 and TFT 12 of protection element 10b by the side of the data wiring 5 had the problem that it could not anodize.

[0046] This is because voltage for anodizing cannot be supplied to these gates electrode 31 since the gate electrode 31 of the protection TFT 12 of another side of protection element 10a by the side of the gate wiring 4 and the gate electrode 31 of both protection 11 and TFT 12 of protection element 10b by the side of the data wiring 5 are separately formed independently as the solid line showed to drawing 7 .

[0047] For this reason, the above-mentioned conventional active matrix panel was not able to give sufficient isolation voltage for the protection TFT 12 of another side of protection element 10a by the side of the gate wiring 4, and both protection 11 and TFT 12 of protection element 10b by the side of the data wiring 5.

[0048] This invention anodizes the front face of the gate electrode of all protection TFT that constitutes the protection element for preventing dielectric breakdown of TFT of the pixel section and property change by static electricity etc., and aims at offering the reliable active matrix panel which gave sufficient isolation voltage for these protection TFT.

[0049]

[Means for Solving the Problem] The active matrix panel of this invention The pixel electrode of plurality [ field / element / aforementioned / of the substrate which has the surplus section removed after the assembly of the aforementioned liquid crystal display element around the element field corresponding to the size of a liquid crystal display element ], Two or more TFT connected to each [ these ] pixel electrode, respectively, and the gate wiring which supplies a gate signal to Above TFT, While the data wiring which supplies a data signal to Above TFT, and the capacitor wiring which forms a compensation capacitance between the aforementioned pixel electrodes are formed The aforementioned gate wiring and data wiring to the short ring which surrounded and formed the aforementioned pixel electrode and the array field of active TFT, respectively It connects through the protection element which a gate electrode and a source electrode become from two protection TFT connected electrically. the aforementioned protection element Are connected the source electrode of one protection TFT to gate wiring or data wiring, and a drain electrode is connected to a short ring. Connect the source electrode of the protection TFT of another side to a short ring, connect a drain electrode to gate wiring or data wiring, and it is constituted. And on the surplus section of the aforementioned substrate, the short line for short-circuiting two or more gate wiring, data wiring, and capacitor wiring is formed. On the element field of the aforementioned substrate, the relay electrode for connecting the aforementioned data wiring to the aforementioned short line is formed. The gate electrode of two protection TFT which constitutes the gate electrode and the aforementioned protection element of TFT which were connected to the aforementioned pixel electrode It is characterized by having been formed in either of the aforementioned gate electrode, the aforementioned capacitor wiring, the aforementioned short ring, and the aforementioned relay electrode at one, and having oxidized the electrode front face by anodizing which makes the aforementioned short line a feed line.

[0050]

[Function] Namely, the active matrix panel of this invention Gate wiring, capacitor wiring, and the relay electrode for connecting data wiring to a short line, Some short rings are connected and formed in the aforementioned short line. By connecting with either of the aforementioned gate wiring, capacitor wiring, a relay electrode, and a short ring electrically, and forming in it the gate electrode of two protection TFT which constitutes a protection element Oxidize the front face of the gate electrode of the aforementioned protection TFT by anodizing which makes the aforementioned short line a feed line, and according to this active matrix panel Since the front face of the gate electrode of all protection TFT that constitutes a protection element is anodized, sufficient isolation voltage for these protection TFT can be given.

[0051]

[Example] Hereafter, one example of this invention is explained with reference to drawing 1 - drawing 5 . Drawing 1 is

the equal circuit-plan of the active matrix panel of this example. drawing 2 A solid line shows what is formed on the substrate each wiring of the aforementioned active matrix panel, and among electrodes. Drawing having shown with the dashed line what currently formed on the insulator layer prepared on the substrate, and drawing 3 are drawings in which having shown what is formed on the aforementioned insulator layer among each aforementioned wiring and the electrode as the solid line, and having shown what is formed on the substrate with the dashed line.

[0052] In addition, in drawing 1 - drawing 3 , a same sign is given to what is prepared in the conventional active matrix panel shown in drawing 6 - drawing 8 , and a corresponding thing, and the detailed explanation is omitted about the same thing as the conventional thing.

[0053] The active matrix panel of this example Like the conventional active matrix panel fundamentally to element field 1A of a substrate 1 which has surplus section 1B removed after the assembly of the aforementioned liquid crystal display element around element field 1A corresponding to the size of a liquid crystal display element Two or more TFT3 connected to two or more pixel electrode 2 and each [ these ] pixel electrode 2, respectively, The gate wiring 4 which supplies a gate signal to the above TFT 3, and the data wiring 5 which supplies a data signal to the above TFT 3, It is a compensation capacitance Cs between the aforementioned pixel electrodes 2. While forming the capacitor wiring 5 to form and forming the short line 7 for short-circuiting all data wiring 4 and data wiring 5 with aforementioned surplus section 1B The pixel electrode 2 and the array field of TFT3 are surrounded to the aforementioned element field 1A, the short ring 9 is formed in it, and it has the composition of having connected the gate wiring 4 and the data wiring 5 to the aforementioned short ring 9 through the protection elements 10a and 10b, respectively.

[0054] The relay electrode 8 for connecting the above-mentioned gate wiring 4, the capacitor wiring 6, the short line 7, and the data wiring 5 to the short line 7 is formed by each on the substrate 1, and each gate wiring 4 has led to the aforementioned short line 7 in the end, i.e., the edge in which terminal area 4a was formed, at one.

[0055] Moreover, common connection of each capacitor wiring 6 was made in the edge of an opposite side, it is connected with the terminal area formation edge of the aforementioned gate wiring 4 in this edge by which common connection was made at one at the short line 7, and the above-mentioned relay electrode 8 is formed in the horizontal line section of the short line 7 at one.

[0056] Two horizontal wiring section 9a by which the above-mentioned short ring 9 was wired in parallel with the gate wiring 4 on the other hand, It consists of data wiring 5 and two vertical wiring sections wired in parallel 9b on the gate insulator layer 32. On a substrate 1, connect with one the wiring section (vertical wiring section 9b of two right-hand side, horizontal wiring section 9a and right-hand side) of three way types other than vertical wiring section (it sets to drawing 1 and is the left-hand side vertical wiring section) 9b which intersects the terminal area formation edge of the gate wiring 4 among these wiring sections 9a and 9b, and it is formed. Vertical wiring section (henceforth the left-hand side length wiring section) 9b which intersects the terminal area formation edge of the gate wiring 4 is formed on the gate insulator layer 32. in addition, the contact which established the ends of this left-hand side length wiring section 9b in the aforementioned gate insulator layer 32 -- it connects with the edge of the aforementioned horizontal wiring section 9a in the hole (not shown)

[0057] And the wiring section of the three way type formed on the substrate 1 of the above-mentioned short ring 9, i.e., vertical wiring section (henceforth the right-hand side length wiring section) 9, two right-hand side, horizontal wiring section 9a and right-hand side, b, has led to common connection wiring of each above-mentioned capacitor wiring 6 at one, and it is connected with the above-mentioned short line 7 through common connection wiring of the aforementioned capacitor wiring 6. In addition, in this example, a part of right-hand side length wiring section 9b of the short ring 9 is made to serve a double purpose with common connection wiring of the capacitor wiring 6.

[0058] Next, if the above-mentioned protection elements 10a and 10b are explained, the cross section of protection element 10a with which drawing 4 connects the gate wiring 4 to the short ring 9, and drawing 5 are cross sections of protection element 10b which connect the data wiring 5 to the short ring 9, and these protection elements 10a and 10b consist of two protection 11 and TFT 12 respectively like the protection element prepared in the conventional active matrix panel.

[0059] In addition, the protection 11 and TFT 12 which constitutes these protection elements 10a and 10b The gate electrode 31 which is the thing of the same structure as fundamentally as TFT3 of the pixel section shown in drawing 9 and drawing 10 , and was formed on the substrate 1, The i-type-semiconductor film 33 which this gate electrode 31 was made to counter the aforementioned gate electrode 31 on the wrap gate insulator layer 32 and this gate insulator layer 32, and was formed, It consists of a channel protective coat 37 prepared on the channel field of this i-type-semiconductor film 33, and the source electrode 35 and the drain electrode 36 formed through the n-type-semiconductor film 34 on the aforementioned i-type-semiconductor film 33.

[0060] The protection 11 and TFT 12 which constitutes protection element 10a which connects the gate wiring 4 to the short ring 9 As shown in drawing 1 and drawing 4 , on both sides of the gate wiring 4, it is arranged at the both sides



by the side of the terminal area 4a. this protection element 10a While connecting electrically the gate electrode 31 of two protection TFT 11 and TFT 12 to the source electrode 35 of the protection TFT, respectively The source electrode 35 of one protection TFT 11 is connected to the gate wiring 4, the drain electrode 36 is connected to the short ring 9, the source electrode 35 of the protection TFT 12 of another side is connected to the short ring 9, the drain electrode 36 is connected to the gate wiring 4, and it is constituted.

[0061] The electrode 35 connected to the gate wiring 4 of the above-mentioned protection TFT 11 and TFT 12, i.e., the source electrode of one protection TFT 11, and the drain electrode 36 of the protection TFT 12 of another side It connects with the gate wiring 4 in the hole 39. the contact prepared in the gate insulator layer 32 through the common gate wiring connection film 38 -- Moreover, the drain electrode 36 of one protection TFT 11 and the source electrode 35 of the protection TFT 12 of another side are connected to vertical wiring section 9b of the short ring 9 through the short ring connection films 40 and 41 formed in one at this vertical wiring section 9b. In addition, vertical wiring section 9b of the aforementioned gate wiring connection film 38 and the short ring 9 and the short ring connection films 40 and 41 are formed by the same metal membrane as the data wiring 5.

[0062] And the gate electrode 31 of one protection TFT 11 is formed in one at the gate wiring 4, and is electrically connected to the source electrode 35 of this protection TFT 11 through this gate wiring 4 and the above-mentioned gate wiring connection film 38.

[0063] Moreover, the gate electrode 31 of the protection TFT 12 of another side It is formed in the extension which the formation section of the protection TFT 12 of aforementioned another side was made to extend, and was formed from the capacitor wiring 6 like drawing 2 at one. this gate electrode 31 the contact which prepared left-hand side length wiring section 9b of the short ring 9 in the gate insulator layer 32 -- by connecting with the extension of the capacitor wiring 6 in a hole (not shown) It connects with the source electrode 35 of this protection TFT 12 electrically through capacitor wiring, the short ring 9, and the above-mentioned short ring connection film 41.

[0064] Moreover, the protection TFT 11 and TFT 12 which constitutes protection element 10b which connects the data wiring 5 to the short ring 9 As shown in drawing 1 and drawing 5 , on both sides of the data wiring 5, it is arranged at the both sides by the side of the terminal area 5a. this protection element 10b While connecting electrically the gate electrode 31 of two protection TFT 11 and TFT 12 to the source electrode 35 of the protection TFT, respectively The source electrode 35 of one protection TFT 11 is connected to the data wiring 5, the drain electrode 36 is connected to the short ring 9, the source electrode 35 of the protection TFT 12 of another side is connected to the short ring 9, the drain electrode 36 is connected to the data wiring 5, and it is constituted.

[0065] The electrode 35 connected to the data wiring 5 of the above-mentioned protection TFT 11 and TFT 12, i.e., the source electrode of one protection TFT 11, and the drain electrode 36 of the protection TFT 12 of another side It connects with the aforementioned data wiring 5 through the data wiring connection film 42 formed in the data wiring 5 at one. Moreover, the drain electrode 36 of one protection TFT 11 and the source electrode 35 of the protection TFT 12 of another side are connected to horizontal wiring section 9a of the short ring 9 through the short ring connection films 43 and 44 which consist of the same metal membrane as the data wiring 5. in addition, the contact which formed the aforementioned short ring connection films 43 and 44 in the gate insulator layer 32 since horizontal wiring section 9a of the short ring 9 was wired on the substrate 1 -- it connects with the aforementioned horizontal wiring section 9a in the hole (not shown)

[0066] Moreover, the gate electrode 31 of one protection TFT 11 It is formed in lead section 8a which derived the data wiring 5 from the relay electrode 8 for connecting with the short line 7 like drawing 2 at one. this gate electrode 31 the contact which formed the aforementioned data wiring 5 in the gate insulator layer 32 -- by connecting with the aforementioned lead section 8a in a hole 45, it connects with the source electrode 35 of the protection TFT 11 electrically through the relay electrode 8 and the data wiring 5

[0067] Moreover, the gate electrode 31 of the protection TFT 12 of another side is formed in horizontal wiring section 9a of the short ring 9 at one, and is electrically connected to the source electrode 35 of this protection TFT 12 through the short ring 9.

[0068] And the gate electrode 31 of all protection TFT 11 and TFT 12 of each protection elements 10a and 10b By anodizing which makes a feed line the short line 7 which connects with either of the aforementioned gate wiring 4, the capacitor wiring 6, the short ring 9, and the relay electrode 8 electrically, and was formed in surplus section 1B of a substrate 1 Anodizing of the electrode front face is carried out with the gate wiring 4, and the gate electrode 31 (refer to drawing 10 ) of TFT3 of the pixel section and the capacitor wiring 6.

[0069] In addition, this anodizing is performed also to lead section 8a which was drawn from the relay electrode 8 and connected with the gate electrode 31 of protection TFT 11. Except for the connection (contact portion corresponding to a hole 39) of the above-mentioned gate wiring connection film 38, anodic oxidation of the aforementioned gate wiring 4 is carried out to the terminal area 4a, and anodic oxidation of the lead section 8a of the relay electrode 8 is carried out

except for the connection (contact portion corresponding to a hole 45) of the above-mentioned data wiring 5.  
 [0070] In drawing 4 and drawing 5, a is the oxide film generated by anodizing and the portion which made this oxide film a generate is rising a little from the non-oxidizing portion by the increase in the volume by oxidization of a metal membrane.

[0071] Like the protection element of the conventional active matrix panel, when high voltages, such as static electricity, join the gate wiring 4 or the data wiring 5, the above-mentioned protection elements 10a and 10b It is the thing which one side of two protection 11 and TFT 12 will be in an ON state, and makes flow through the gate wiring 4 and the data wiring 5 through the short ring 9. If the gate wiring 4 and the data wiring 5 are connected to the short ring 9 through the aforementioned protection elements 10a and 10b, dielectric breakdown of TFT3 of the pixel section and property change by static electricity after removing surplus section 1B of a substrate 1 (after the short line 7 was separated) etc. can be prevented.

[0072] The above-mentioned active matrix panel is manufactured by the following manufacture methods. First, it is aluminum on a substrate 1. Form the metal membrane which consists of a system alloy etc., and patterning of this metal membrane is carried out. The relay electrode 8 and its lead section 8a for connecting to the short line 7 the gate wiring 4 shown in drawing 2 as the solid line and the gate electrode 31 of TFT3 of the pixel section, the capacitor wiring 6, the short line 7, and the data wiring 5, The gate electrode 31 of the protection 11 and TFT 12 of two horizontal wiring sections 9a of the short ring 9 and right-hand side length wiring section 9b, and all the protection elements 10a and 10b is formed simultaneously.

[0073] In this process, the wiring sections 9a and 9b and the relay electrode 8 which are formed on the gate wiring 4, the capacitor wiring 6, and the substrate 1 of the short ring 9 are altogether formed in the short line 7 and one.

[0074] Moreover, the gate electrode 31 of TFT3 of the pixel section, the gate electrode 31 of both protection 11 and TFT 12 of protection element 10a, and the gate electrode 31 of one protection TFT 11 of protection element 10a by the side of the gate wiring 4 are formed in the gate wiring 4 and one, and form the gate electrode 31 of the protection TFT 12 of another side of protection element 10a by the side of the aforementioned gate wiring 4 in the aforementioned capacitor wiring 6 and one.

[0075] Furthermore, the gate electrode 31 of one protection TFT 11 of protection element 10b by the side of the data wiring 5 is formed in lead section 8a of the above-mentioned relay electrode 8, and one, and forms the gate electrode 31 of the protection TFT 12 of another side of protection element 10b by the side of this data wiring 5 in horizontal wiring section 9a of the above-mentioned short ring 9, and one.

[0076] Next, anodizing of the gate wiring 4 and the gate electrode 31 of TFT3 of the pixel section, the gate electrode 31 of all protection 11 and TFT 12, lead section 8a of the relay electrode 8, and the capacitor wiring 6 is carried out simultaneously, and these front faces are made to generate an oxide film a.

[0077] This anodizing The connection of terminal area 4a of the gate wiring 4, and the gate wiring connection film 38, The mask of the relay electrode 8 and the data wiring connection of the lead section 8a, and the terminal area 6a of the capacitor wiring 6 is carried out by the resist. a substrate 1 -- the inside of the electrolytic solution -- being immersed -- the oxide film-ed on it (horizontal wiring section 9a and right-hand side length wiring section 9b of the gate wiring 4, the capacitor wiring 6, and the short ring 9 --) Gate electrode 31 grade is made to counter with cathode into the electrolytic solution, and it carries out by making the short line 7 into a feed line by impressing positive voltage to the aforementioned oxide film-ed to the potential of a counterelectrode.

[0078] Thus, if voltage is supplied to the short line 7, while the aforementioned voltage will be supplied to horizontal wiring section 9a of the gate wiring 4 and the capacitor wiring 6 connected to this short line 7, the relay electrode 8, and the short ring 9, and right-hand side length wiring section 9b The aforementioned voltage is supplied to TFT3 of the pixel section, and the gate electrode 31 of all protection 11 and TFT 12 through these, these oxide films-ed cause the Chemicals reaction in the electrolytic solution, and anodic oxidation is carried out in the front face.

[0079] After performing the above-mentioned anodizing, on a substrate 1, the gate insulator layer 32, the i-type-semiconductor film 33, and the channel protective coat 37 are formed one by one, and patterning of the channel field of TFT3 of the pixel section and the i-type-semiconductor film 33 of each protection 11 and TFT 12 is carried out for the aforementioned channel protective coat 37 to a wrap configuration.

[0080] next, the n-type-semiconductor film 34 -- forming membranes -- a it top -- Cr etc. etc. -- from -- after forming the becoming metal membrane, patterning of this metal membrane is carried out, TFT3 of the pixel section, the source electrode 35 of each protection 11 and TFT 12, and the drain electrode 36 are formed, subsequently to the same configuration as the source and the drain electrodes 35 and 36 patterning of the aforementioned n-type-semiconductor film 34 is carried out, and TFT3 of the pixel section and Protection 10a and TFT 10b

[0081] next, opening which the transparent electric conduction film which consists of ITO etc. is formed, patterning of this transparent electric conduction film is carried out [ opening ], and each pixel electrode 2 is formed [ opening ], and



exposes the terminal areas 4a and 6a and the relay electrode 8 of the gate wiring 4 and the capacitor wiring 6 to the above-mentioned gate insulator layer 32 after that and each contact mentioned above -- holes 39 and 45 are formed [0082] After this, it is aluminum. The metal membrane which consists of a system alloy etc. is formed, patterning of this metal membrane is carried out, the data wiring 5, the gate wiring connection film 38 of each protection elements 10a and 10b, and the data wiring connection film 42 are formed simultaneously, and an active matrix panel is completed.

[0083] Namely, the above-mentioned active matrix panel The gate wiring 4, the capacitor wiring 6, and the relay electrode 8 for connecting the data wiring 5 to the short line 7, The wiring section (two horizontal wiring section 9a and right-hand side wiring section 9b) of three way types other than left-hand side wiring section 9b which intersects the terminal area formation edge of the gate wiring 4 of the short rings 9 The gate electrode 31 of two protection 11 and TFT 12 which ties to the aforementioned short line 7, forms on a substrate 1, and constitutes the protection elements 10a and 10b By forming in either of the aforementioned gate wiring 4, the capacitor wiring 6, the relay electrode 8, and the wiring sections 9a and 9b formed on the substrate of the short ring 9 at one By anodizing which makes the aforementioned short line 7 a feed line, the front face of the gate electrode 31 of all protection 11 and TFT 12 is oxidized.

[0084] Since the front face of the gate electrode 31 of all protection 11 and TFT 12 that constitutes the protection elements 10a and 10b is anodized according to this active matrix panel and sufficient isolation voltage for these protection 11 and TFT 12 can be given, the reliability of an active matrix panel can be raised.

[0085] In addition, although the wiring sections 9a and 9b of three way types other than vertical wiring section 9b which intersects the terminal area formation edge of the gate wiring 4 of the short ring 9 were connected and formed in one and the wiring sections 9a and 9b of this three way type are connected with the short line 7 through common connection wiring of the capacitor wiring 6 in the above-mentioned example The wiring section formed on the substrate 1 of this short ring 9 You may make surplus section 1B of a substrate 1 extend the edge, and may also tie to the direct short line 7. in that case one horizontal wiring section 9a which connects a part of short line 7, for example, two horizontal wiring sections 9a, or protection element 10b by the side of the data wiring 5 -- a substrate 1 top -- forming -- other wiring sections -- the gate insulator layer 32 top -- forming -- contact -- you may connect with horizontal wiring section 9a on a substrate 1 in a hole

[0086] Moreover, although the gate wiring connection film 38 of the data wiring 5 and each protection elements 10a and 10b and the data wiring connection film 42 are formed on the gate insulator layer 32 in the above-mentioned example these -- the aforementioned gate insulator layer 32 top -- a layer insulation film -- preparing -- a it top -- forming -- the aforementioned layer insulation film -- contact -- a hole may be prepared and you may connect with TFT3 of the pixel section and the source of protection 11 and TFT 12, the drain electrodes 35 and 36, or the data wiring 5

[0087]

[Effect of the Invention] The active matrix panel of this invention Gate wiring and capacitor wiring, The relay electrode for connecting data wiring to a short line, and some short rings By tying and forming in the aforementioned short line and forming in either of the aforementioned gate wiring, capacitor wiring, a relay electrode, and a short ring at one the gate electrode of two protection TFT which constitutes a protection element Oxidize the front face of the gate electrode of the aforementioned protection TFT by anodizing which makes the aforementioned short line a feed line, and according to this active matrix panel Since the front face of the gate electrode of all protection TFT that constitutes a protection element is anodized, sufficient isolation voltage for these protection TFT can be given.

---

[Translation done.]

## NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

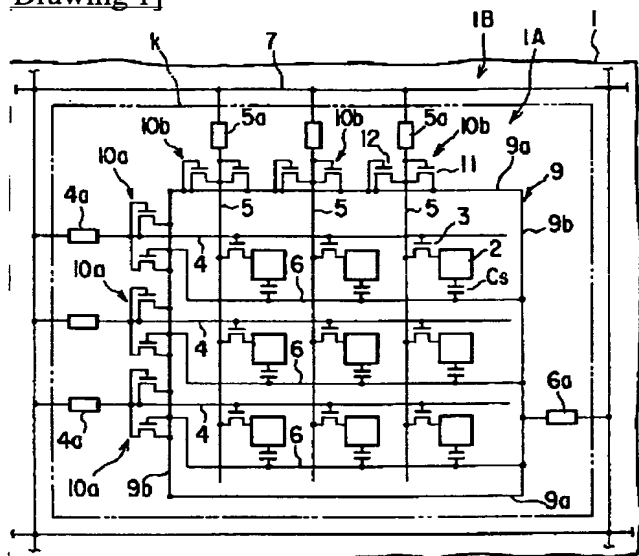
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

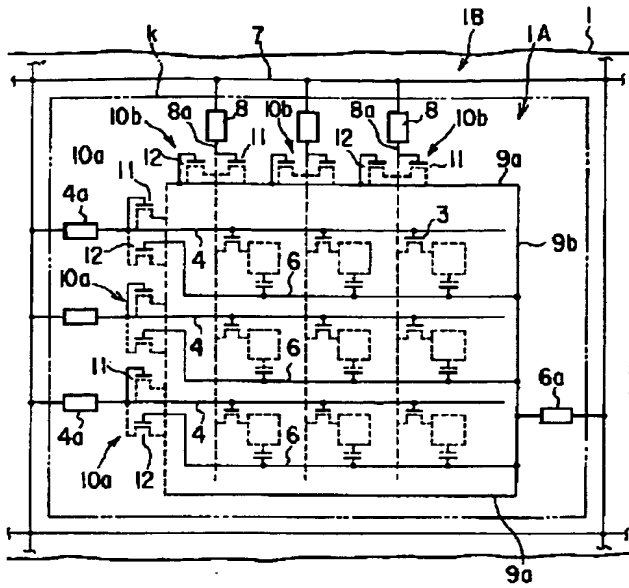
## DRAWINGS

Drawing 1]

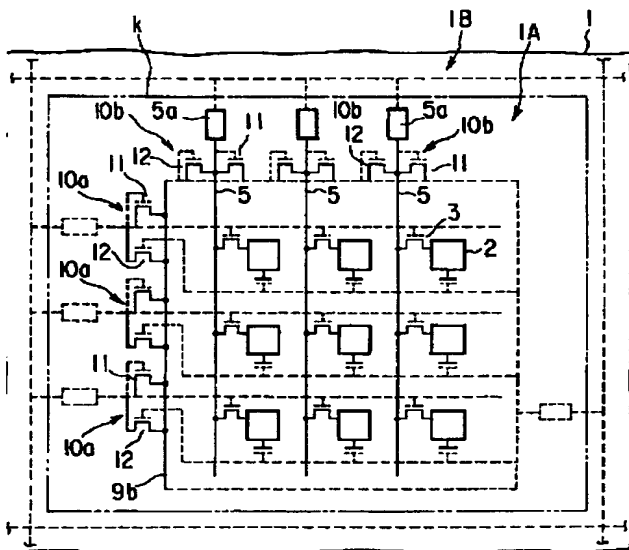


- |             |                 |
|-------------|-----------------|
| 1...基板      | 7...ショートライン     |
| 1A...素子領域   | 8...中継電極        |
| 1B...余剰部    | 9...ショートリング     |
| 2...要素両極    | 10a, 10b...保護素子 |
| 3...TFT     | 11, 12...保護TFT  |
| 4...ゲート配線   |                 |
| 5...データ配線   |                 |
| 6...キャパシタ配線 |                 |

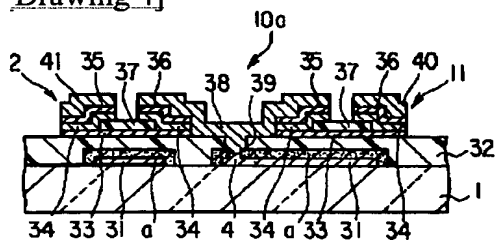
Drawing 2]



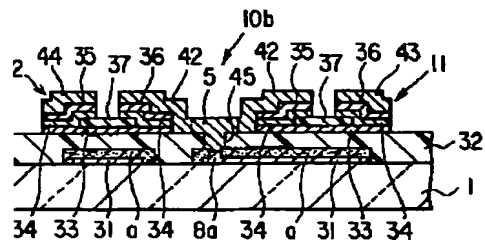
Drawing 3]



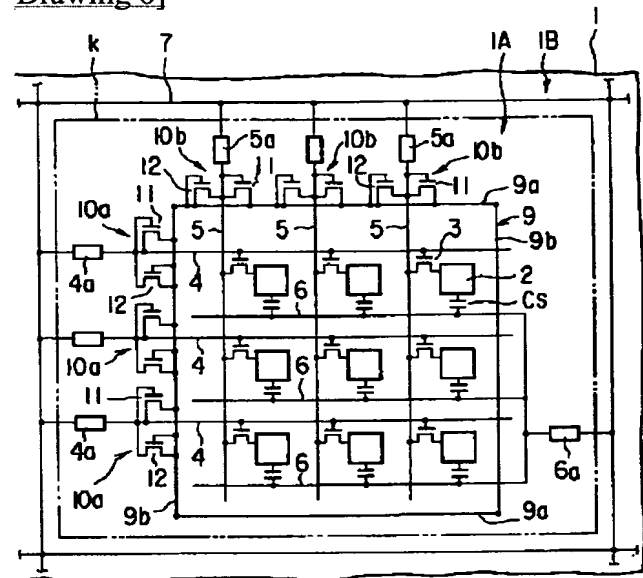
Drawing 4]



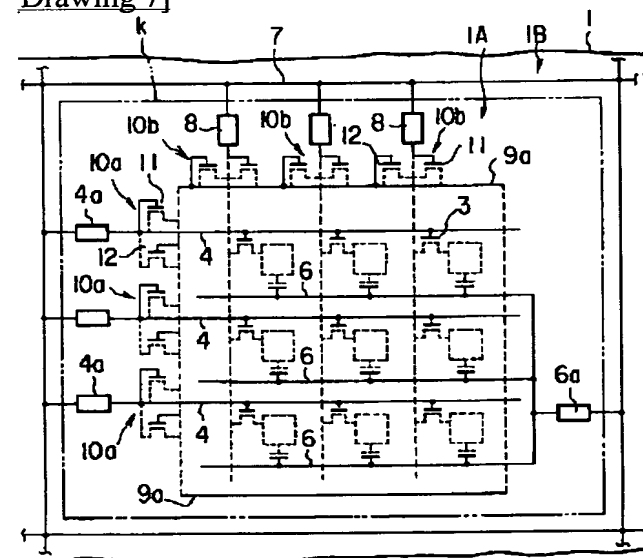
Drawing 5]



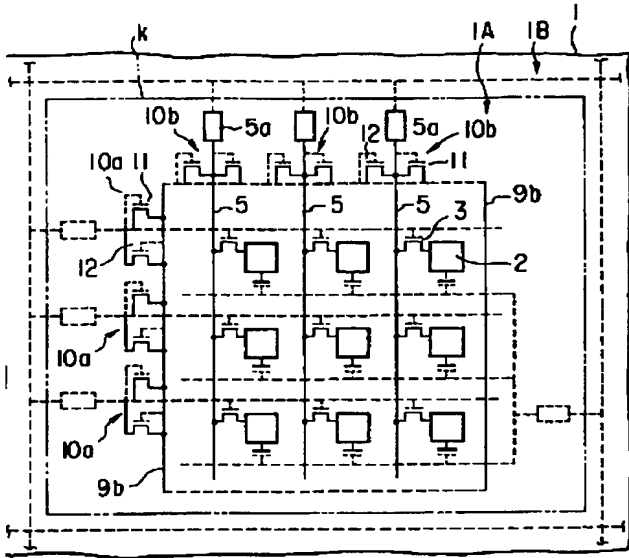
Drawing 6]



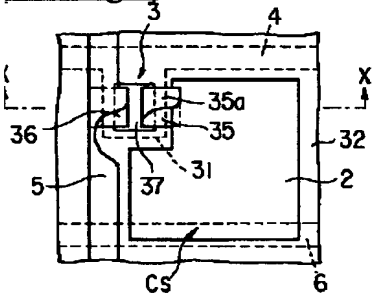
Drawing 7]



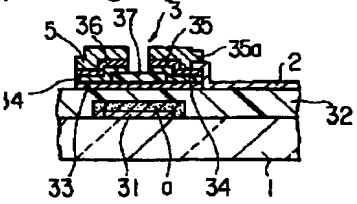
Drawing 8]



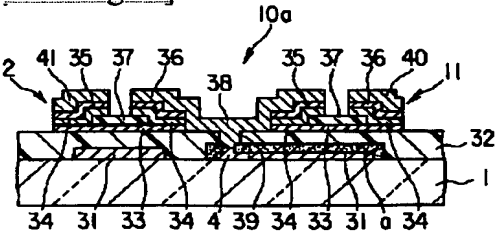
[Drawing 9]



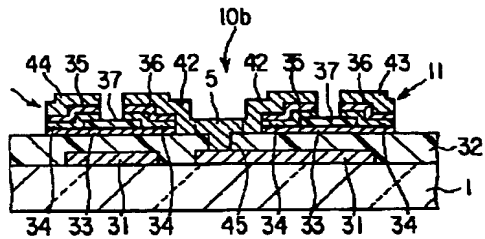
[Drawing 10]



[Drawing 11]



[Drawing 12]



Translation done.]